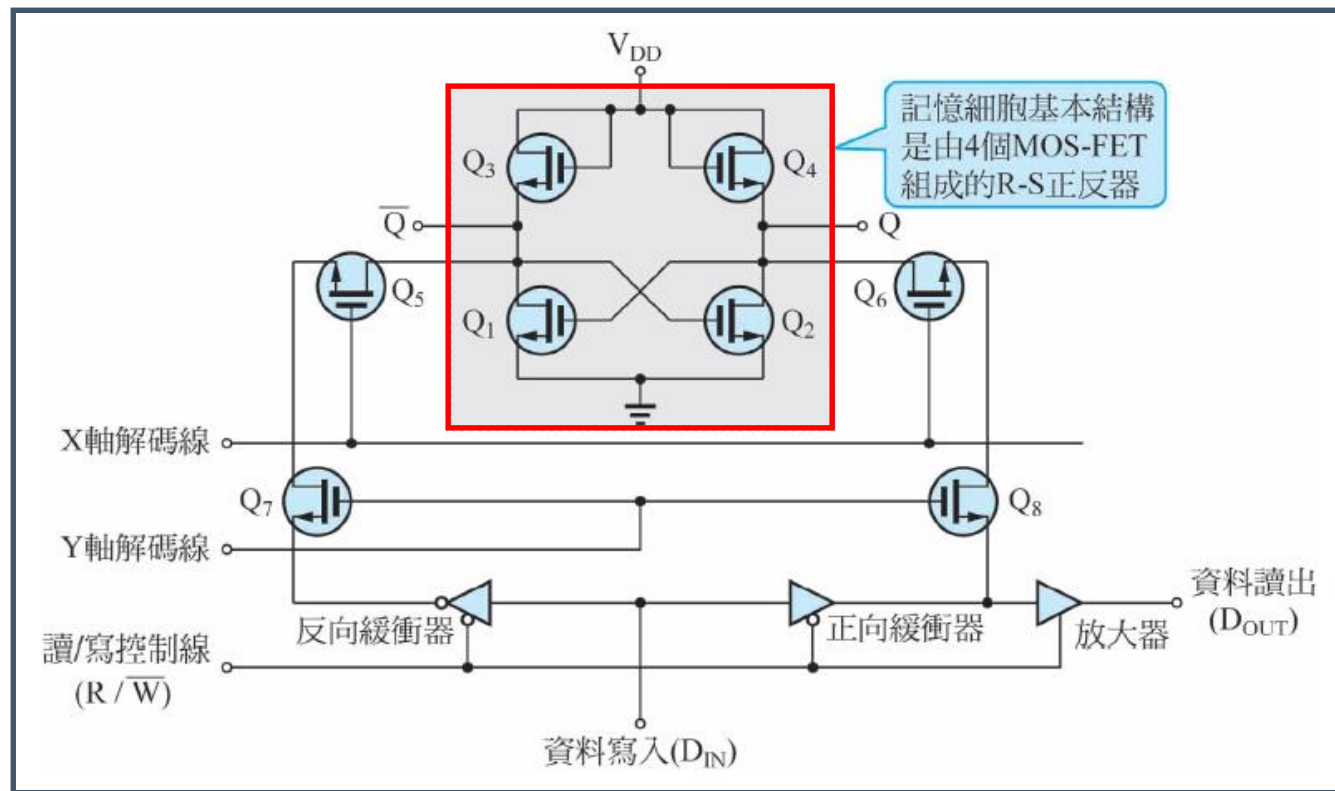


# 06 記憶體資料存取

05/31 上課資料

## 6-2-1 SRAM之工作原理



讀/寫控制接腳  $R/\bar{W} = 0$ ，放大器 Disable 資料讀出  $D_{OUT}$  開路無法讀出動作

正向與反向緩衝器都 Enable 資料寫入  $D_{IN}$  可進行寫入動作：

資料寫入  $D_{IN}$  經由正向緩衝器 → Q8 → Q6 路徑，寫入相同狀態到 Q 端

資料寫入  $D_{IN}$  經由反向緩衝器 → Q7 → Q5 路徑，寫入相反狀態到  $\bar{Q}$  端

## 6-2-1 SRAM之工作原理

- Sedra/Smith  
Microelectronic Circuits  
Oxford, 2011
- Page 1320 ~ 1321

six-transistor or 6T cell.

**The Read Operation** Consider first a read operation, and assume that the cell is storing a 1. In this case,  $Q$  will be high at  $V_{DD}$ , and  $\bar{Q}$  will be low at 0 V. Before the read operation begins, the  $B$  and  $\bar{B}$  lines are raised to a voltage in the range  $V_{DD}/2$  to  $V_{DD}$ . This process, known as **precharging**, is performed using circuits we shall discuss in the next section in conjunction with the study of sense amplifiers. To simplify matters, we shall assume here that the precharge voltage of  $B$  and  $\bar{B}$  is  $V_{DD}$ .

When the word line is selected and the access transistors  $Q_5$  and  $Q_6$  are turned on, examination of the circuit reveals that the only portion that will be conducting is that shown in Fig. 16.13. Noting that the initial value of  $v_{\bar{Q}}$  is 0 V, we can see that current will flow from the  $\bar{B}$

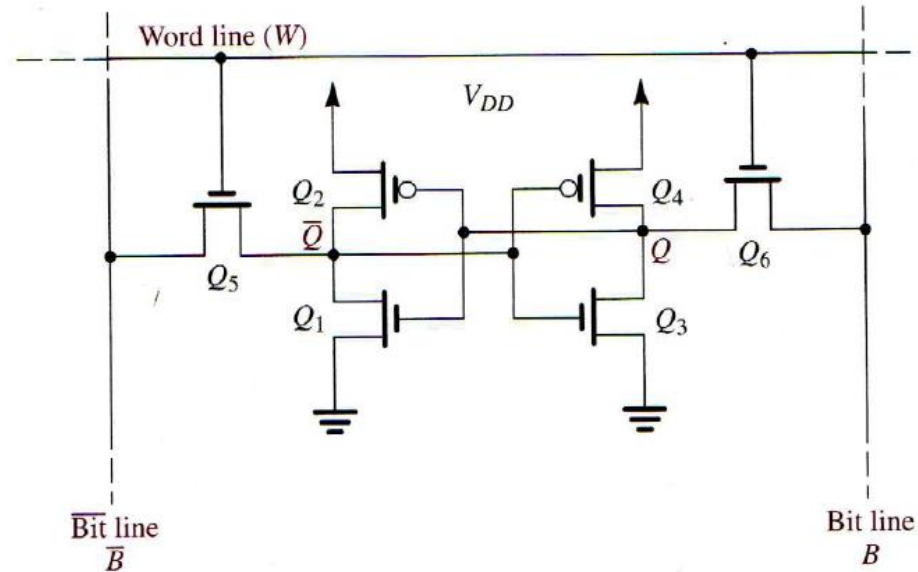
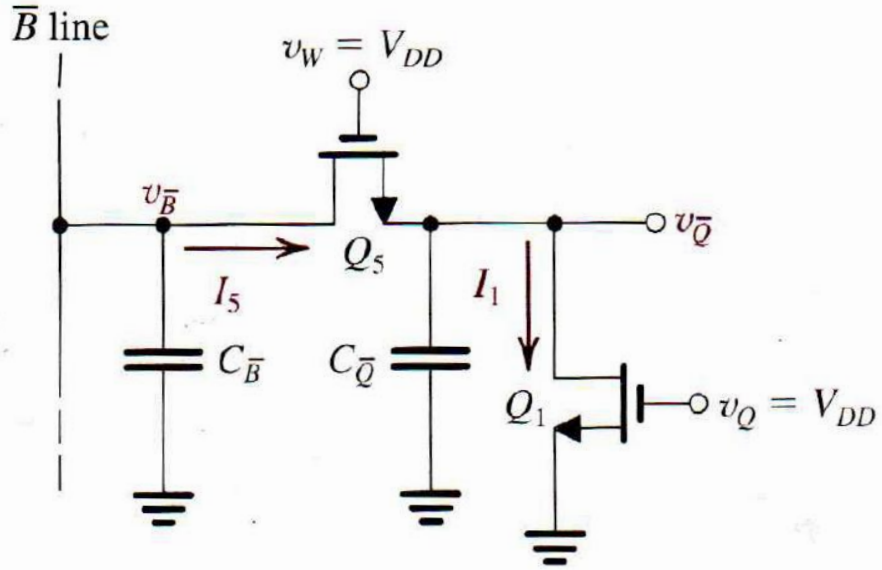


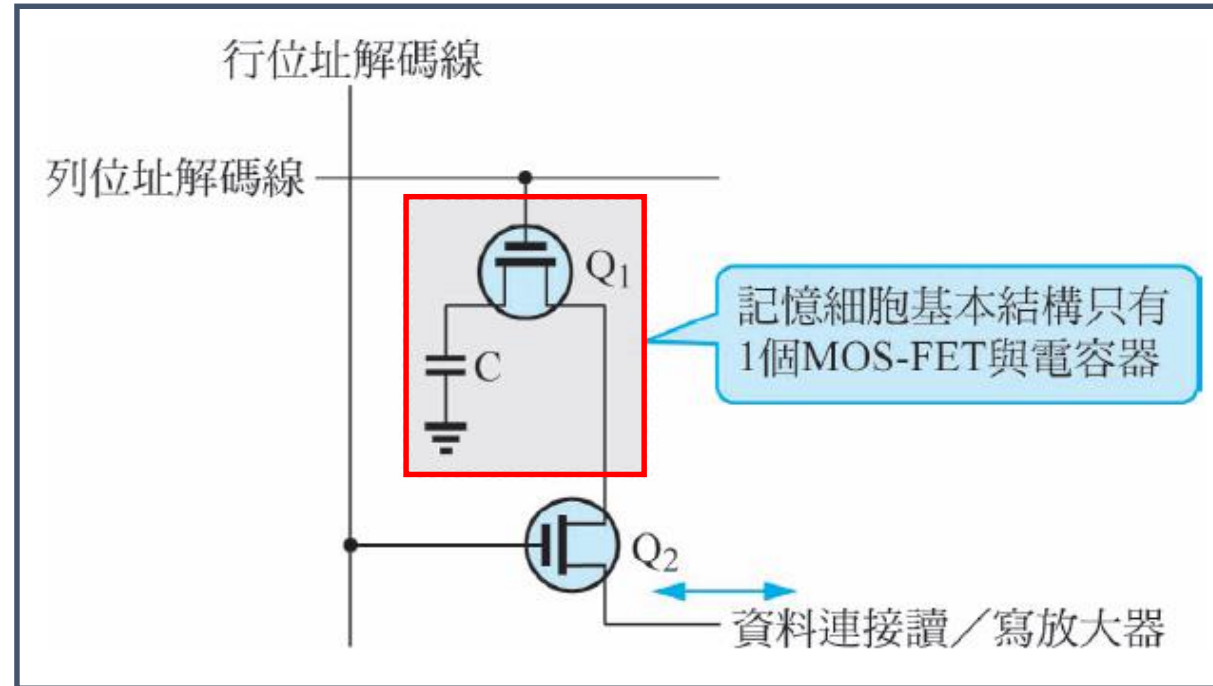
Figure 16.12 A CMOS SRAM memory cell.

## 6-2-1 SRAM之工作原理



**Figure 16.13** Relevant parts of the SRAM cell circuit during a read operation when the cell is storing a logic 1. Note that initially  $v_Q = V_{DD}$  and  $v_{\bar{Q}} = 0$ . Also note that the  $B$  and  $\bar{B}$  lines are precharged to a voltage  $V_{DD}$ .

## 6-2-2 DRAM工作原理



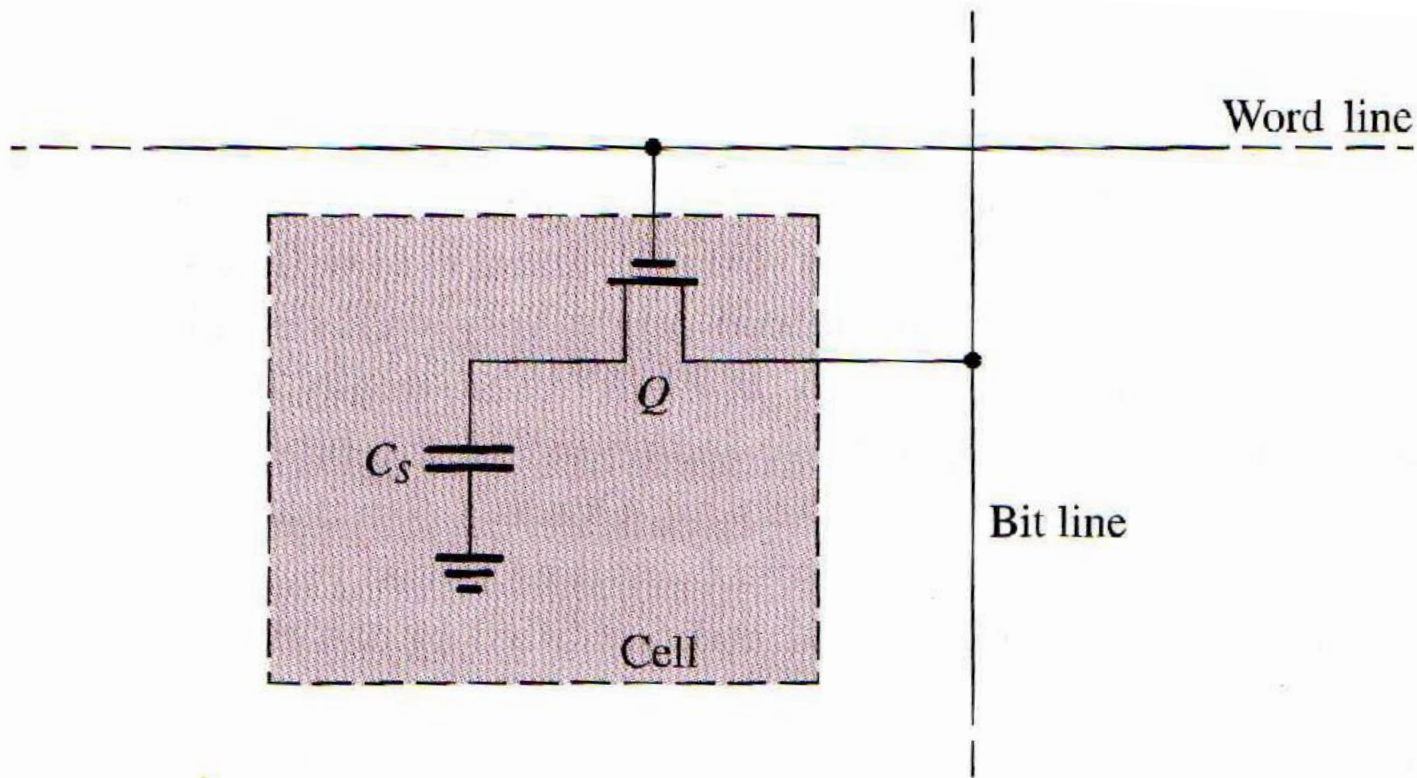
IBM PC 相容電腦的 DRAM 採用列刷新方式，每列刷新時間為  $15.625\mu\text{S}$

以 7 條位址線有 128 列位址計算，刷新時間為  $15.625\mu \times 128 = 2\text{mS}$

所以 DARM 若有  $A$  條位址線時，刷新時間為  $2^{A-7} \times 2\text{mS}$

經過一段時間須將儲存的資料先讀出再寫入一次，稱為刷新 (Refresh)

## 6-2-2 DRAM工作原理



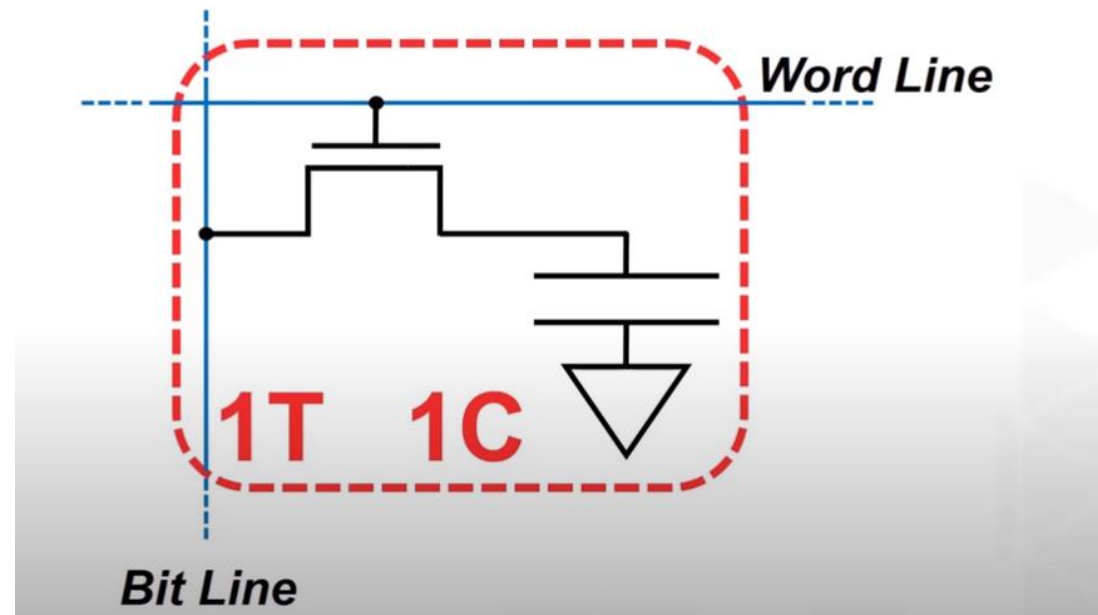
**Figure 16.18** The one-transistor dynamic RAM (DRAM) cell.

<sup>2</sup>The name was originally used to distinguish this cell from earlier ones utilizing three transistors.

## 6-2-2 DRAM工作原理

- 請參考 youtube : What's a DRAM ?
- 網址:  
[https://www.youtube.com/watch?v=Lozf9sceW\\_o](https://www.youtube.com/watch?v=Lozf9sceW_o)

### 1 DRAM Memory bit

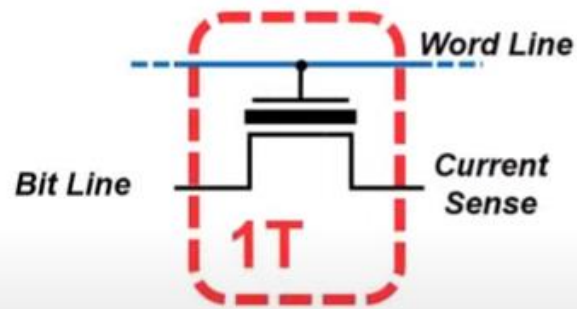




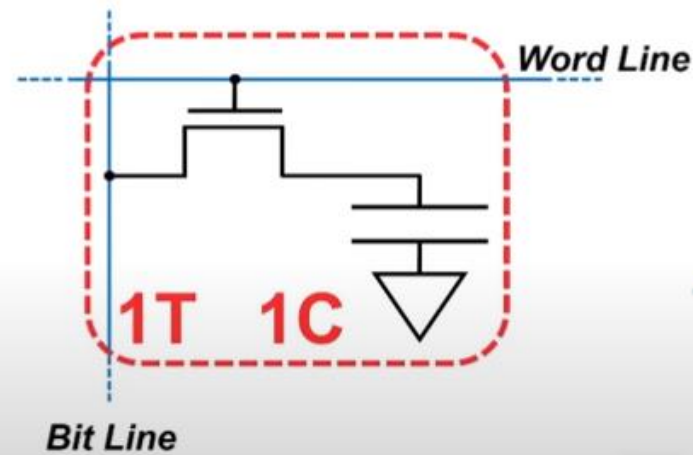
## 6-2-2 DRAM工作原理

- Flash, DRAM, SRAM 等三者結構不同之處

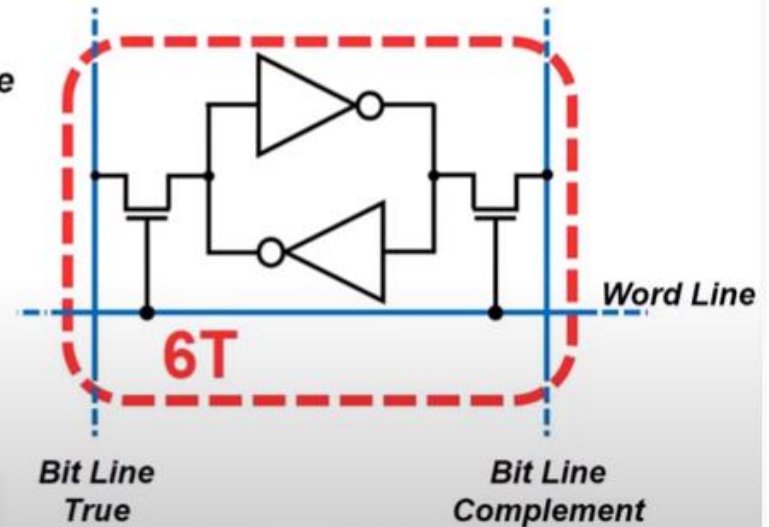
### Flash



### DRAM



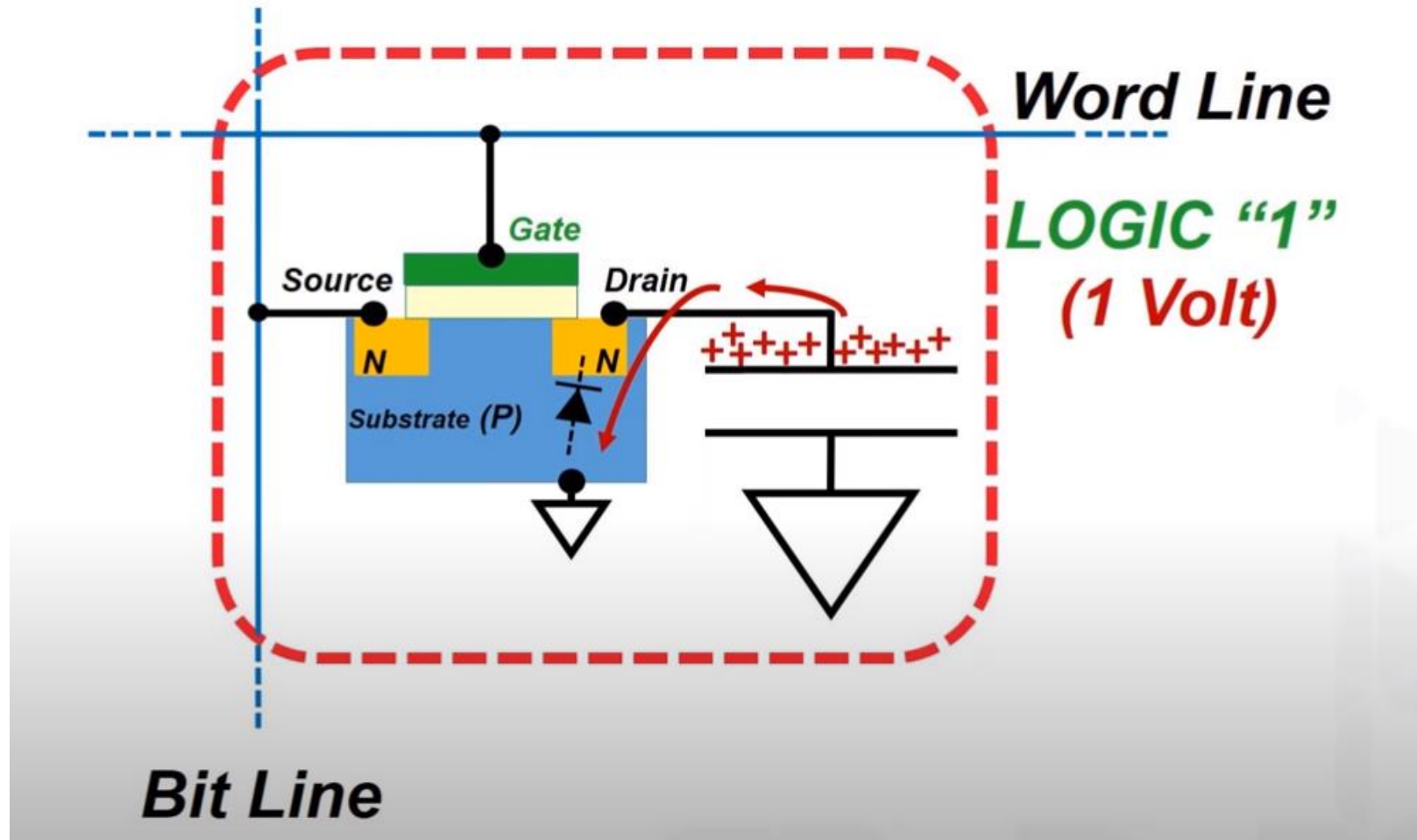
### SRAM





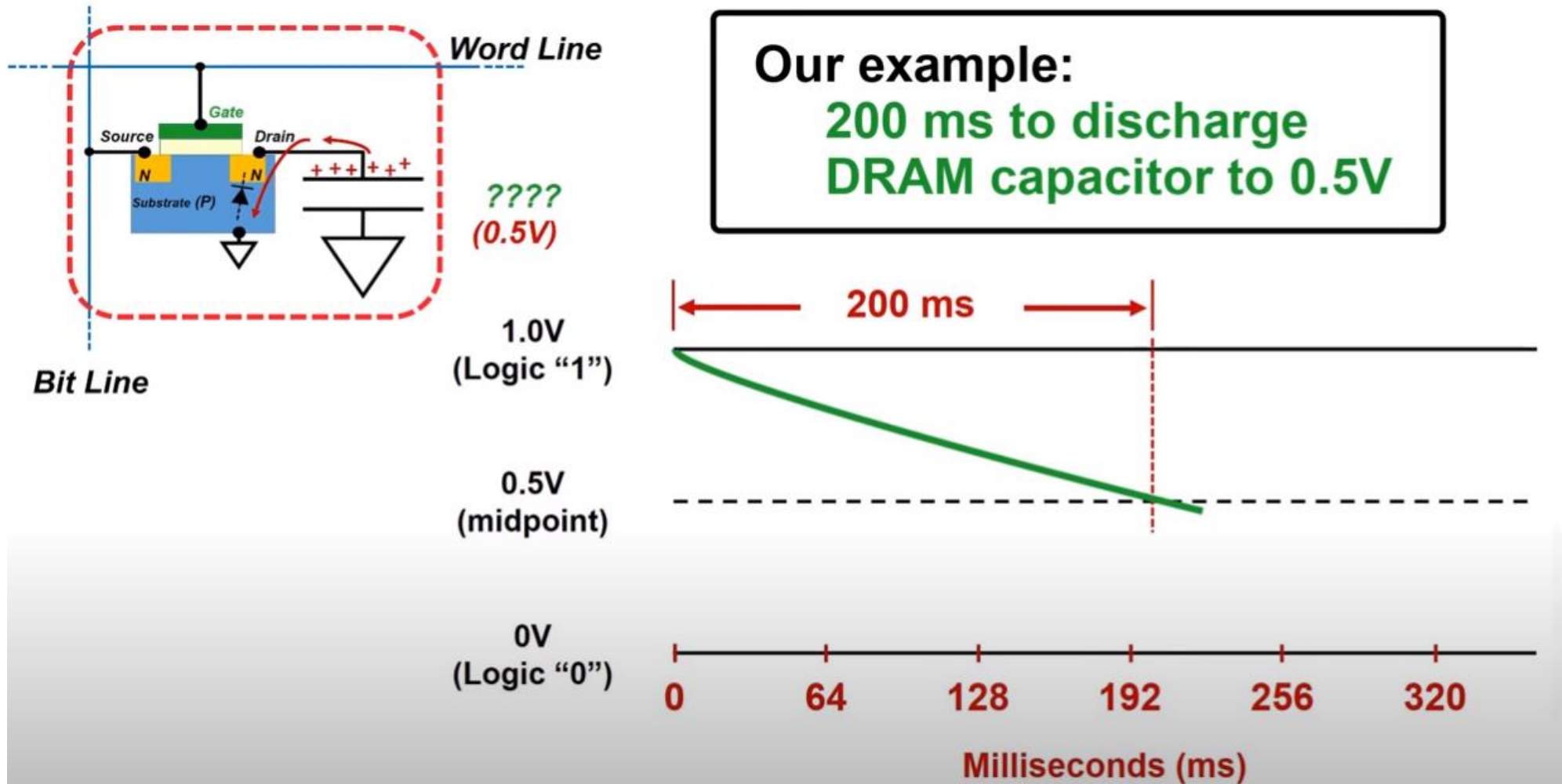
## 6-2-2 DRAM工作原理

- DRAM漏電



## 6-2-2 DRAM工作原理

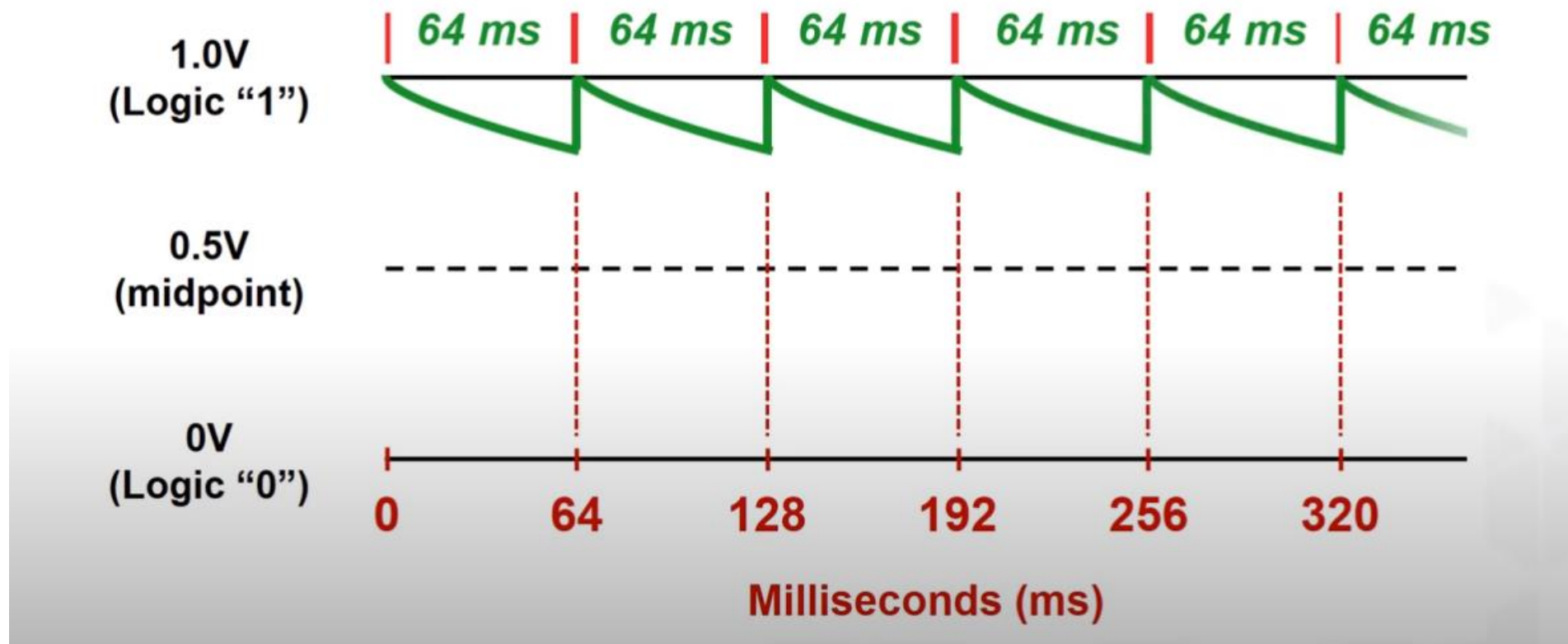
- DRAM漏電



## 6-2-2 DRAM工作原理

- JEDEC固態技術協會是固態及半導體工業界的一個標準化組織
- 內存更新率:

**JEDEC Standard : DRAM refresh rate  $\leq 64$  ms**



# DRAM

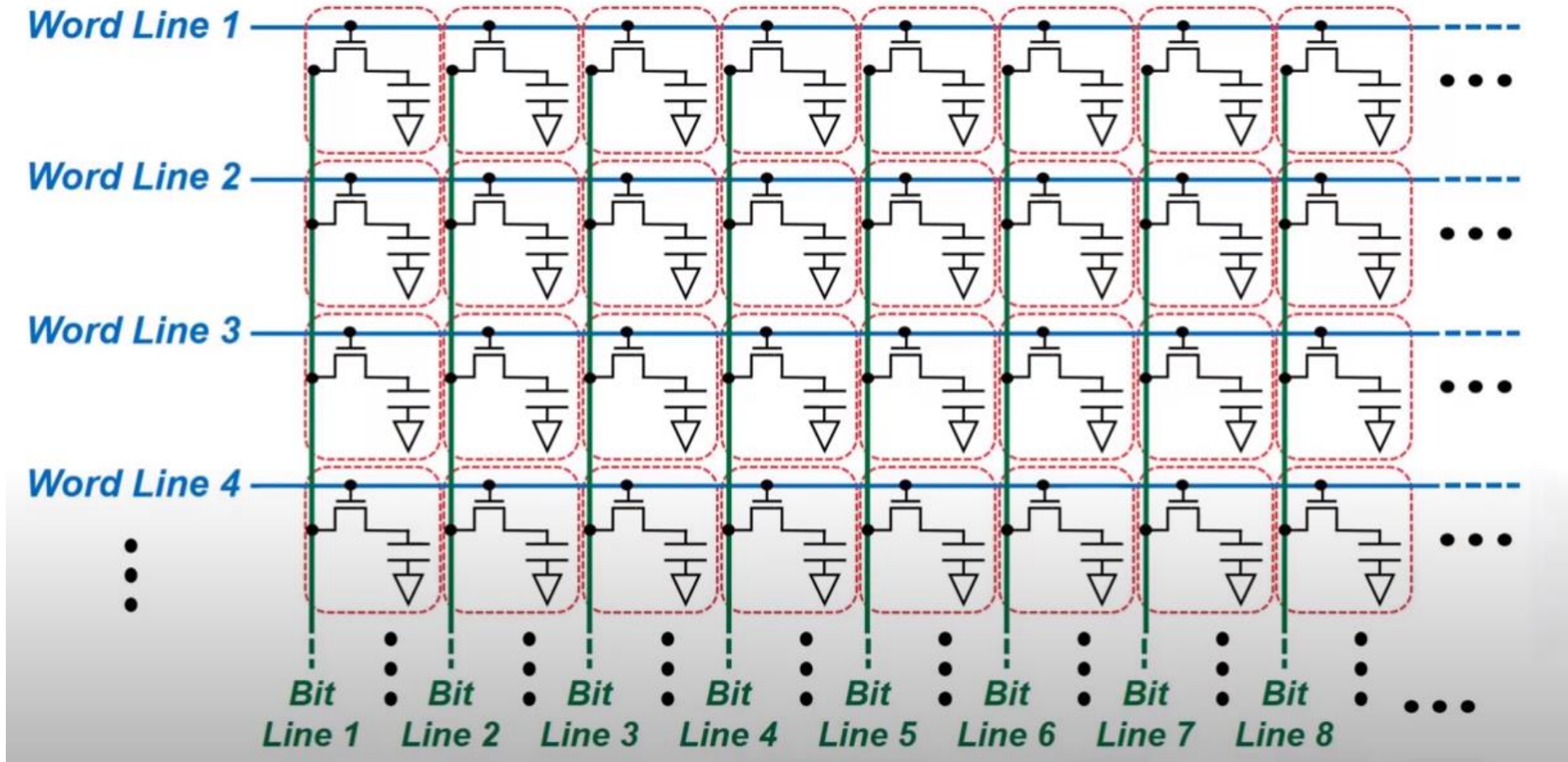
Dynamic Random Access Memory

**Refresh EACH memory cell 16 times per second  
(or more) or risk losing content**



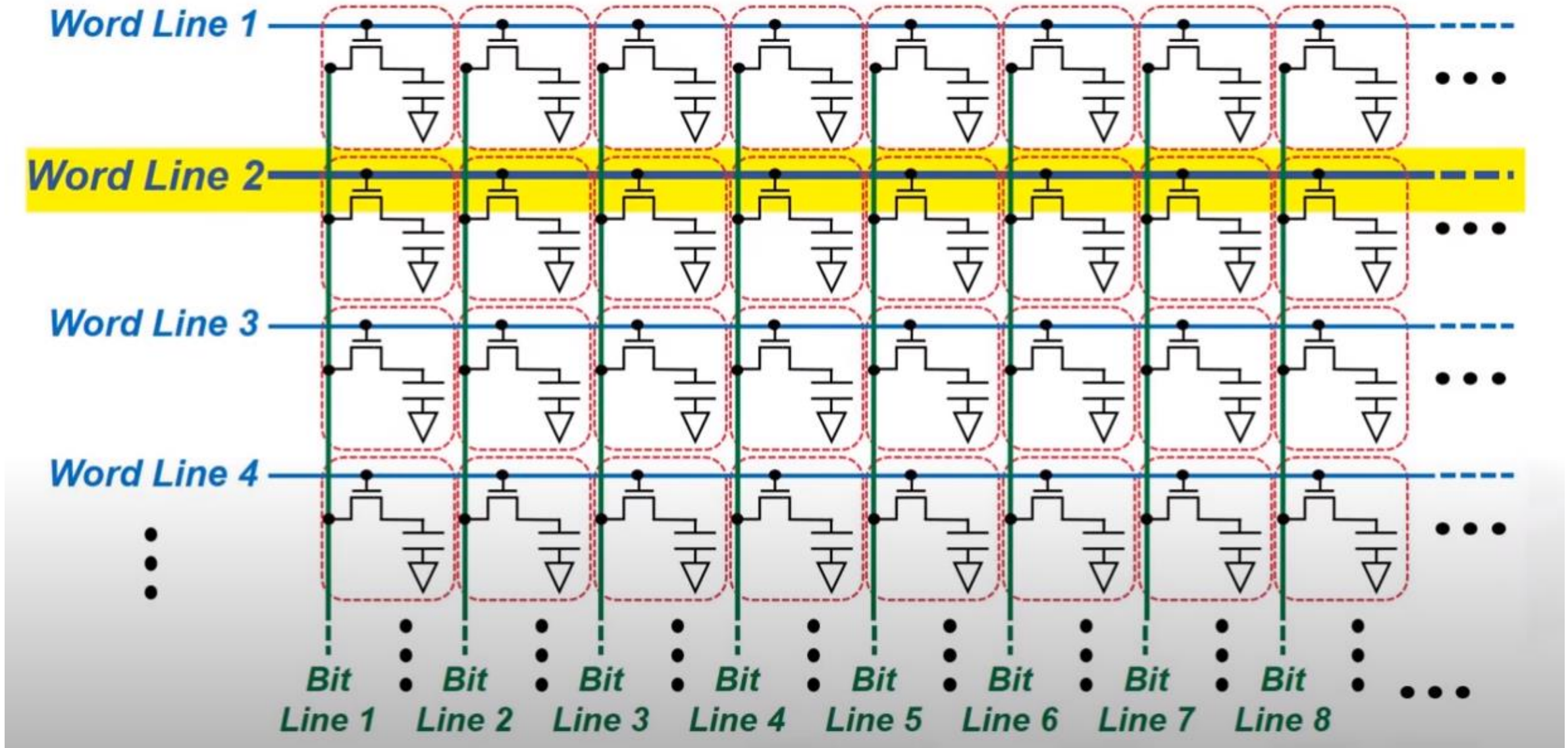
## 6-2-2 DRAM工作原理

- DRAM 内部結構



## 6-2-2 DRAM工作原理

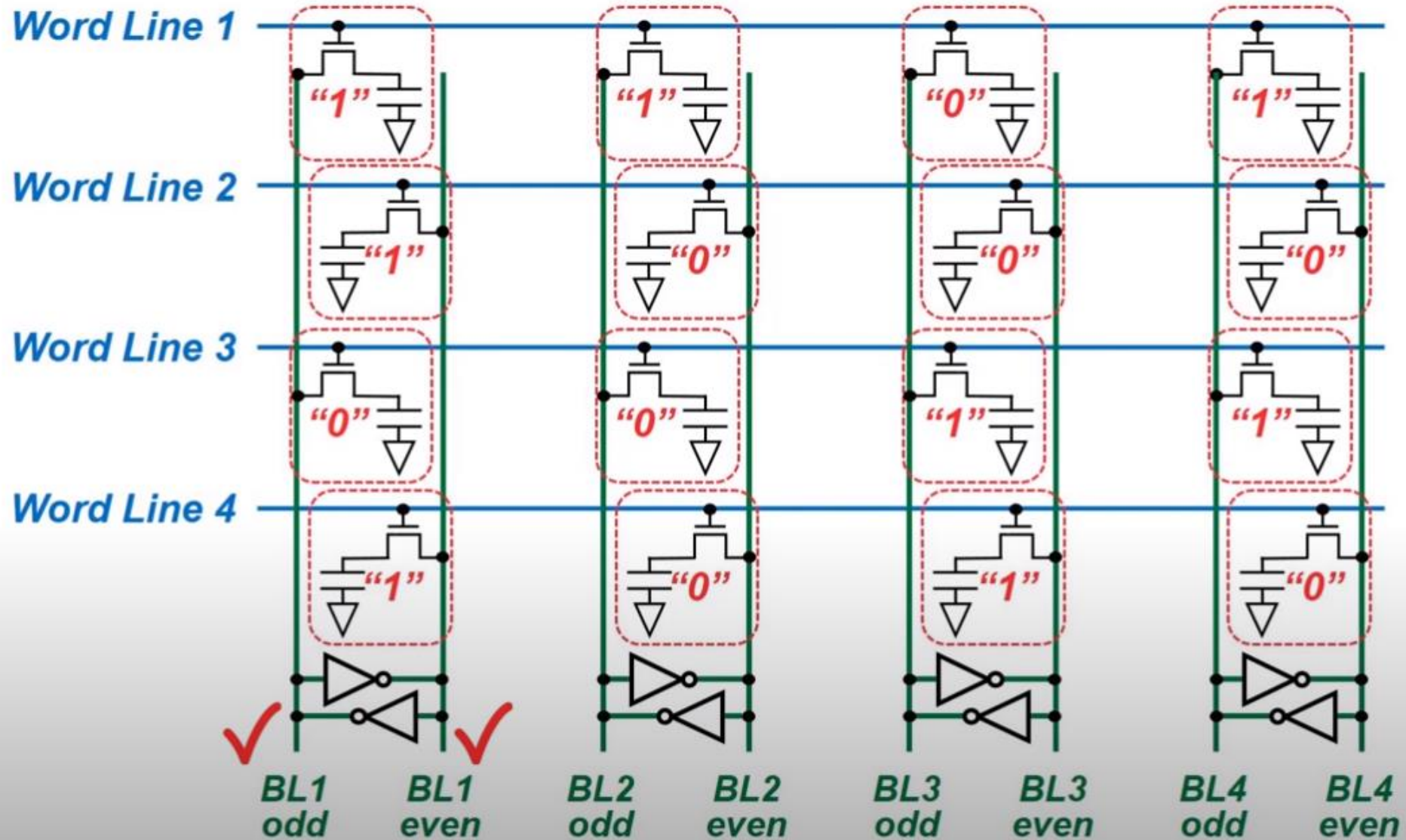
- 内存更新方式像执行“read Command”，充电内部资料。





## 6-2-2 DRAM工作原理

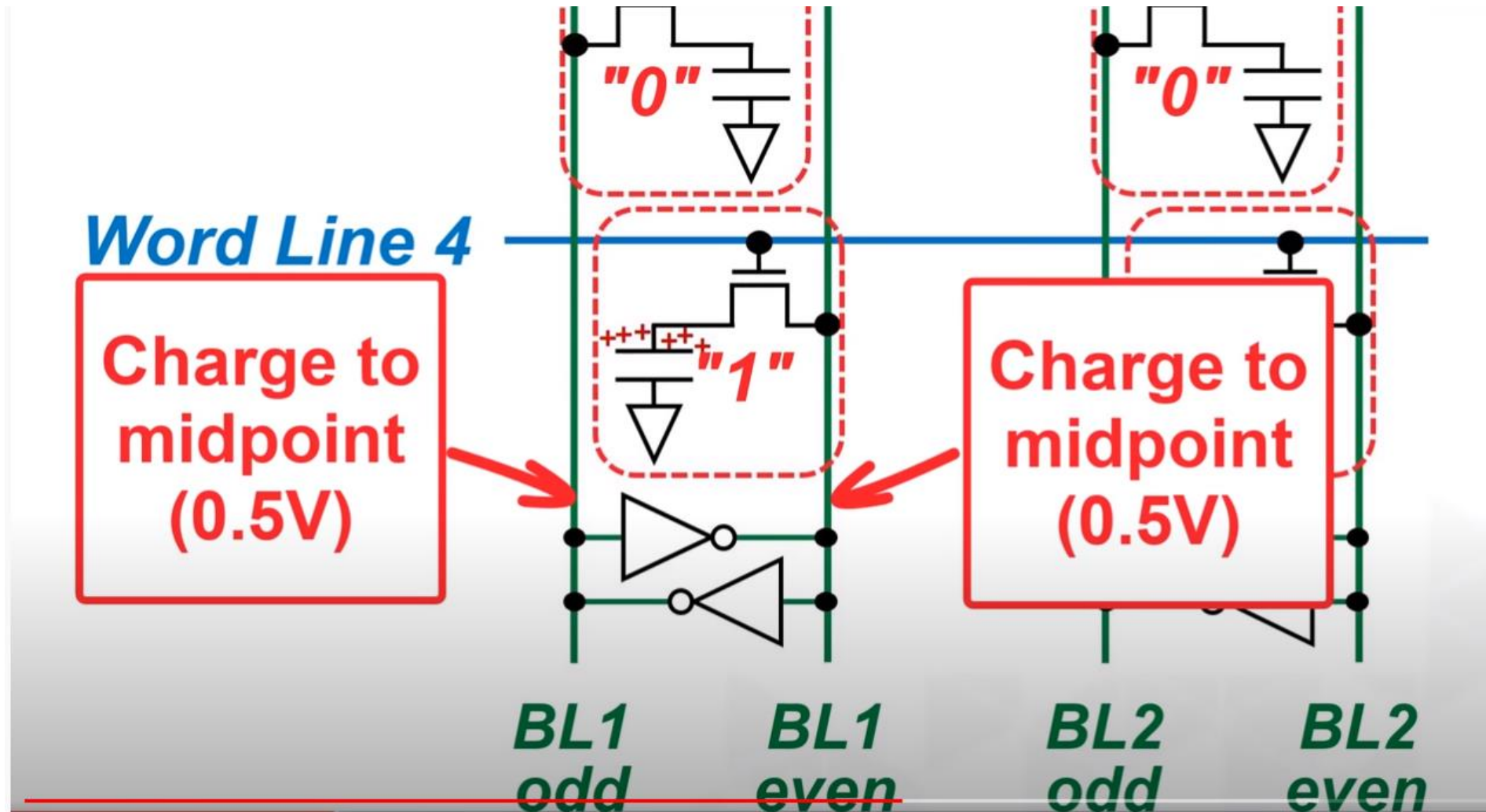
- 例題: 4 by 4 DRAM 為例





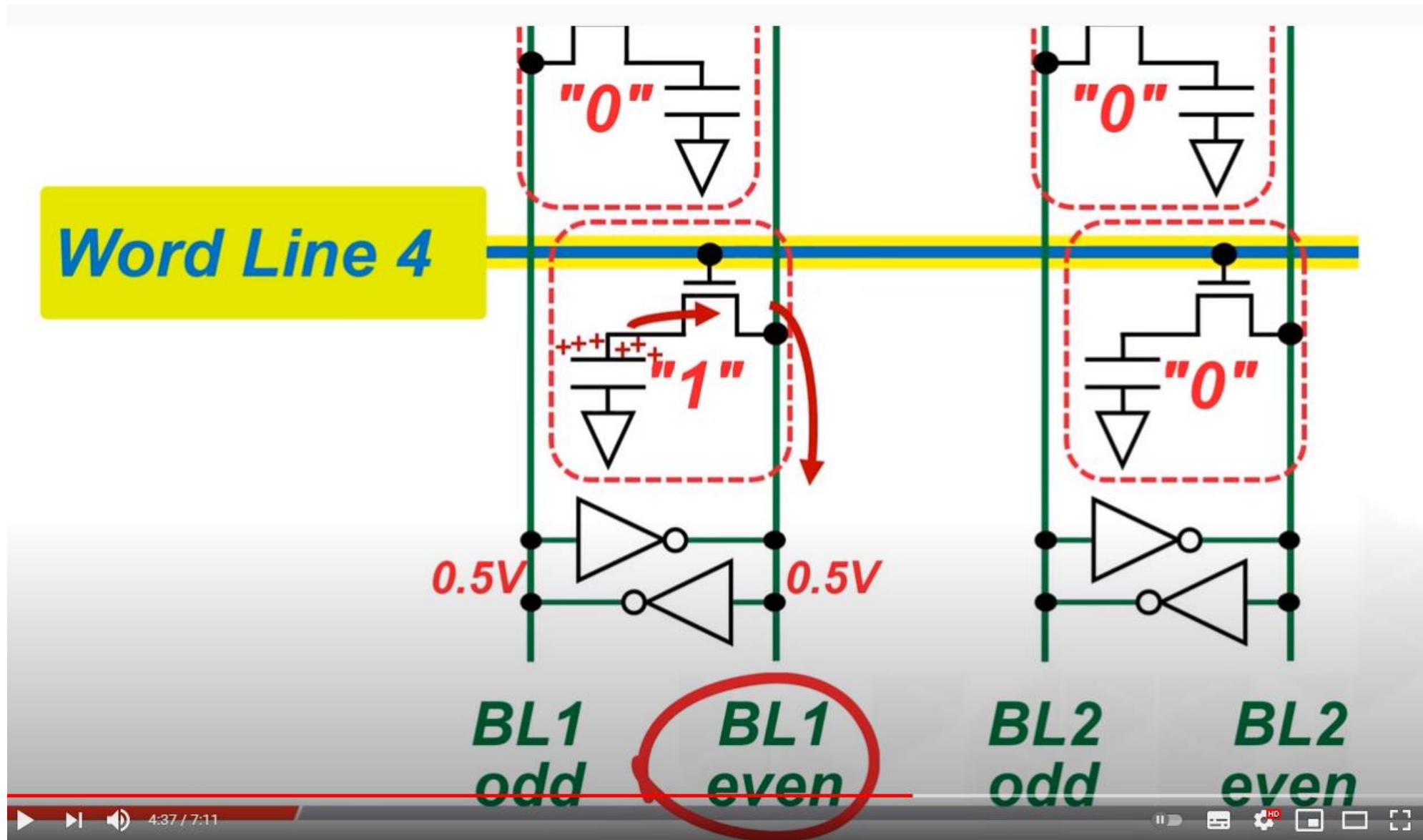
## 6-2-2 DRAM工作原理

- DRAM記憶單元電容充電過程：第一階段(設定電壓)



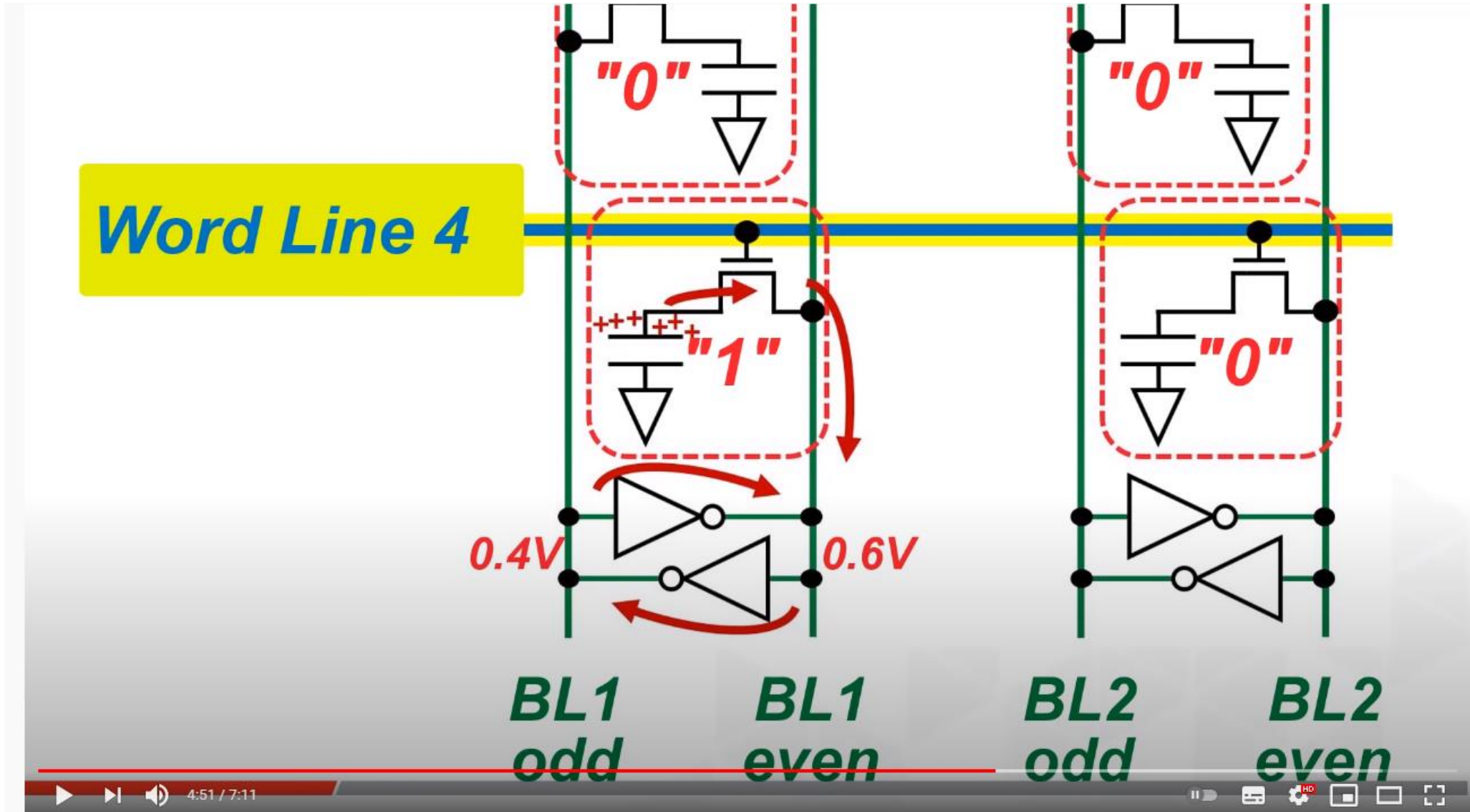
## 6-2-2 DRAM工作原理

- DRAM記憶單元電容充電過程：第二階段(設定位址)



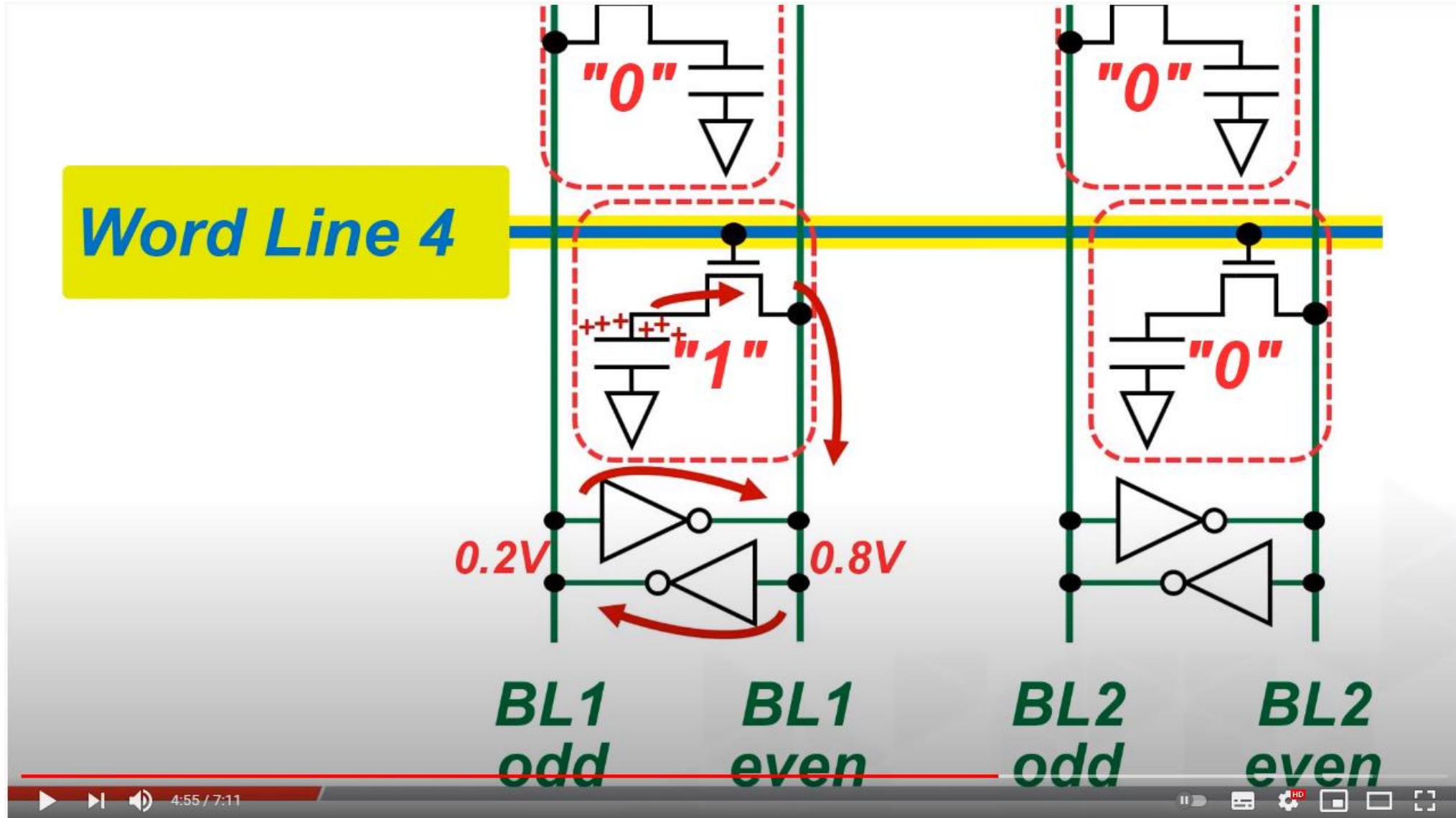
## 6-2-2 DRAM工作原理

- DRAM記憶單元電容充電過程：第三階段(充放循環過程)



## 6-2-2 DRAM工作原理

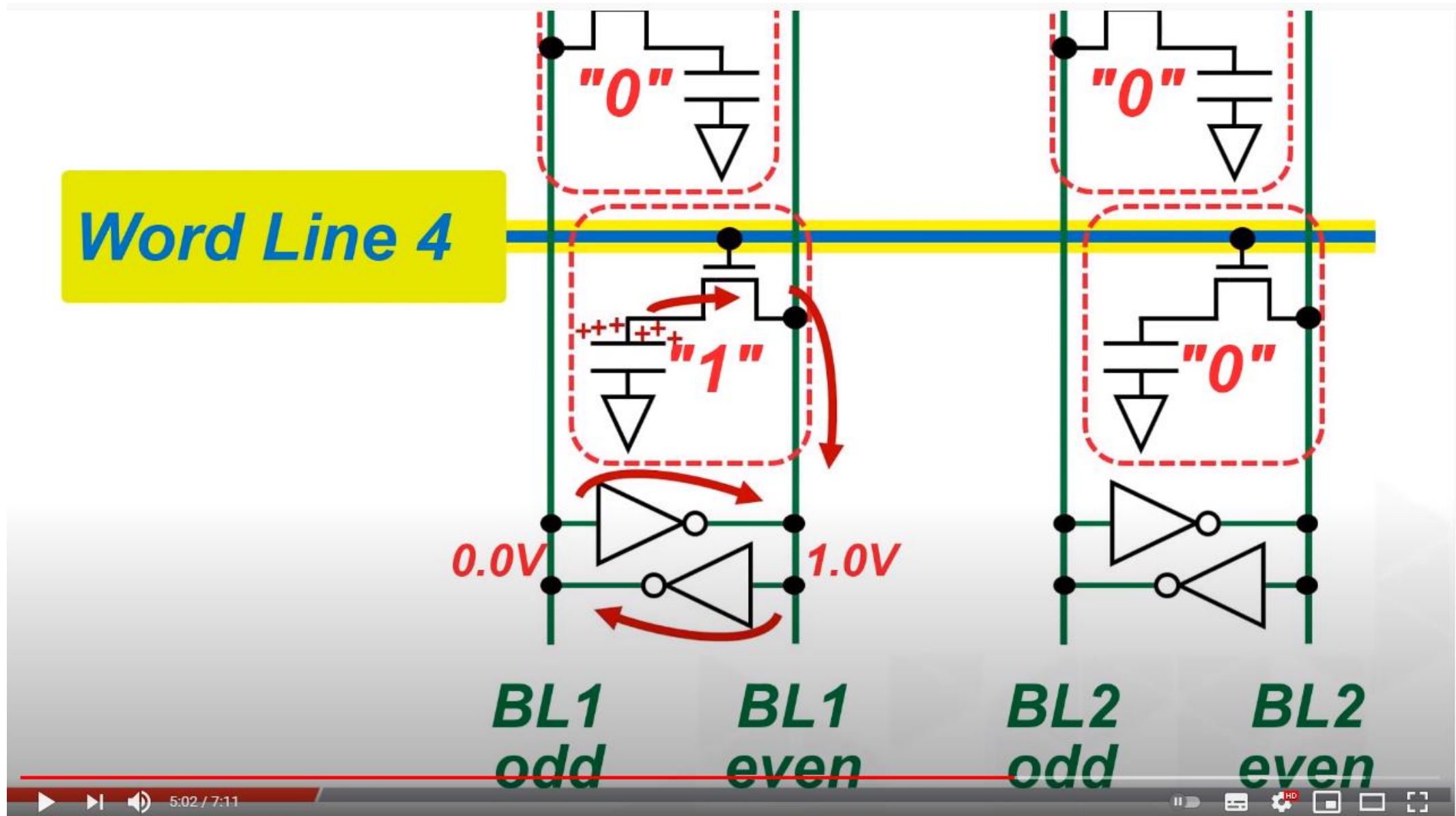
- DRAM記憶單元電容充電過程：第三階段(充放循環過程)





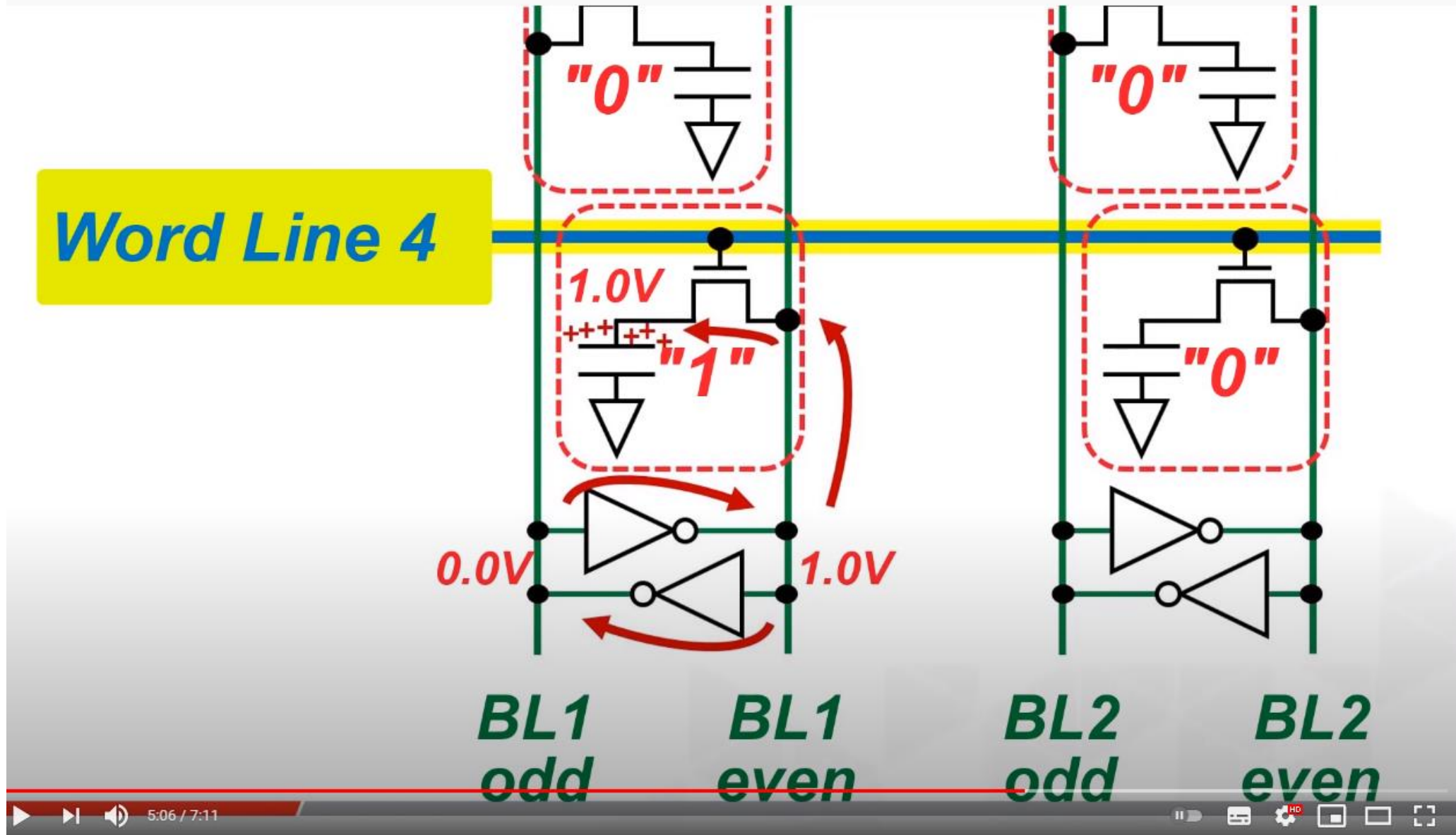
## 6-2-2 DRAM工作原理

- DRAM記憶單元電容充電過程：第三階段(充放循環過程)



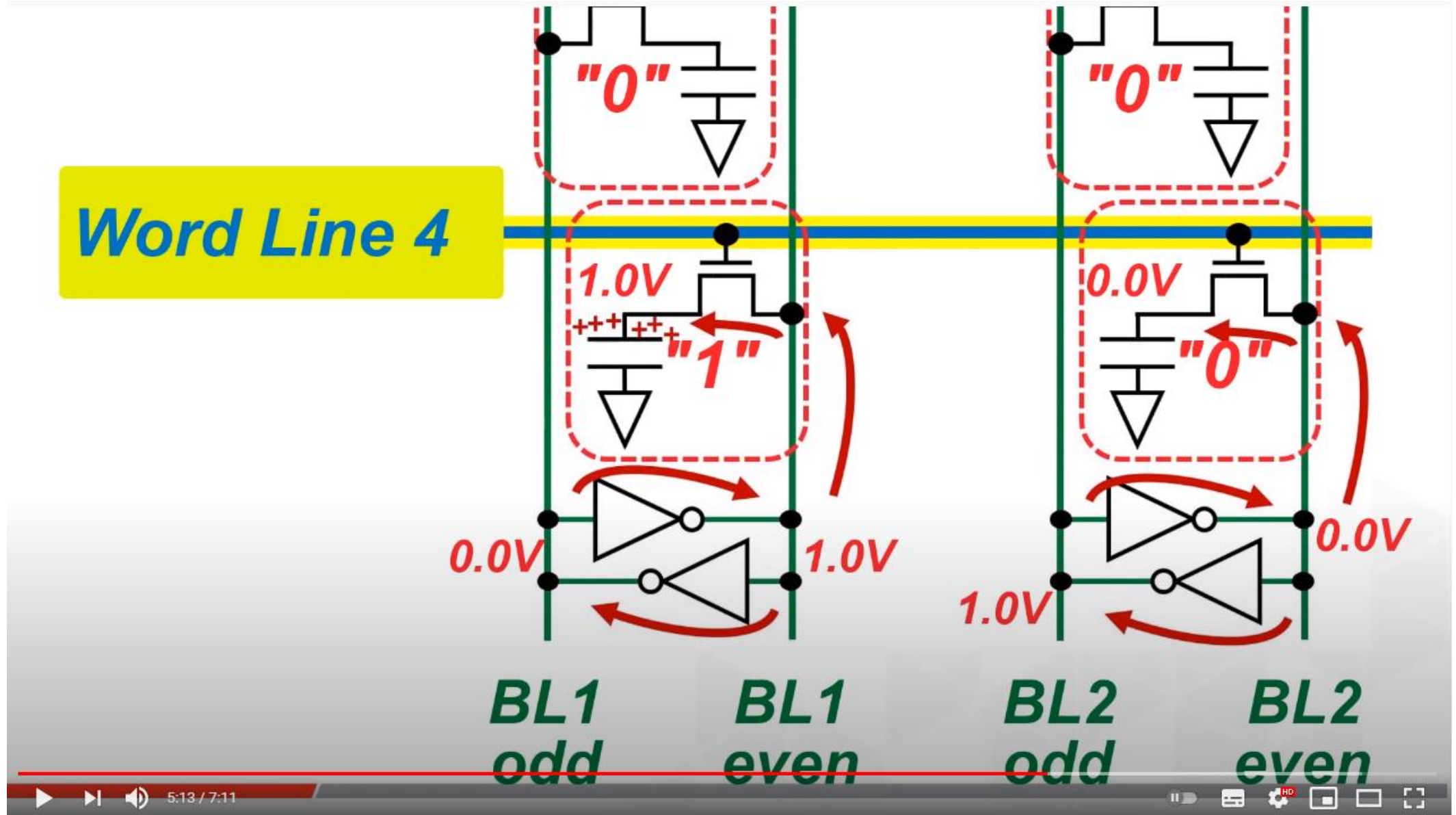
## 6-2-2 DRAM工作原理

- DRAM記憶單元電容充電過程：第三階段(充放循環過程)



## 6-2-2 DRAM工作原理

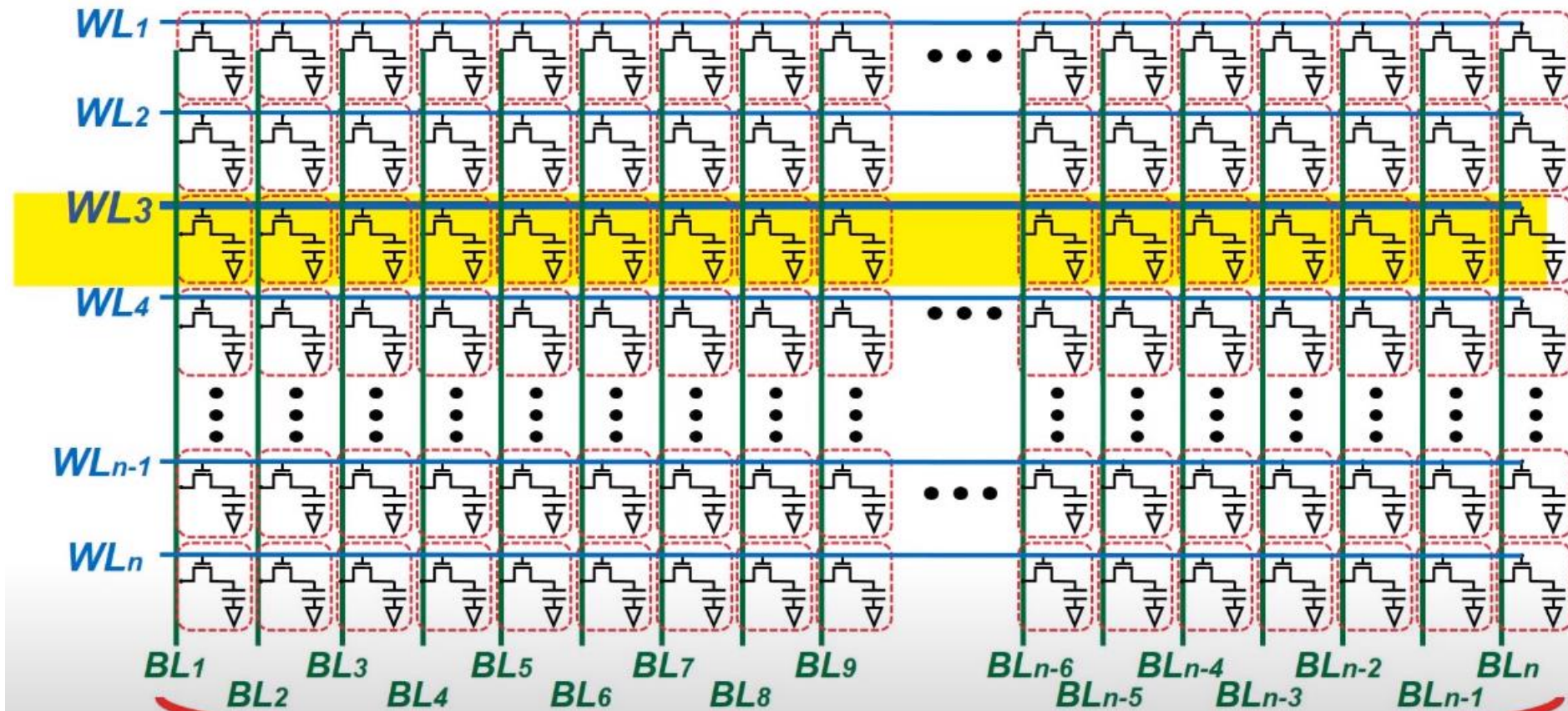
- DRAM記憶單元電容充電過程：第三階段(充放循環過程)





## 6-2-2 DRAM工作原理

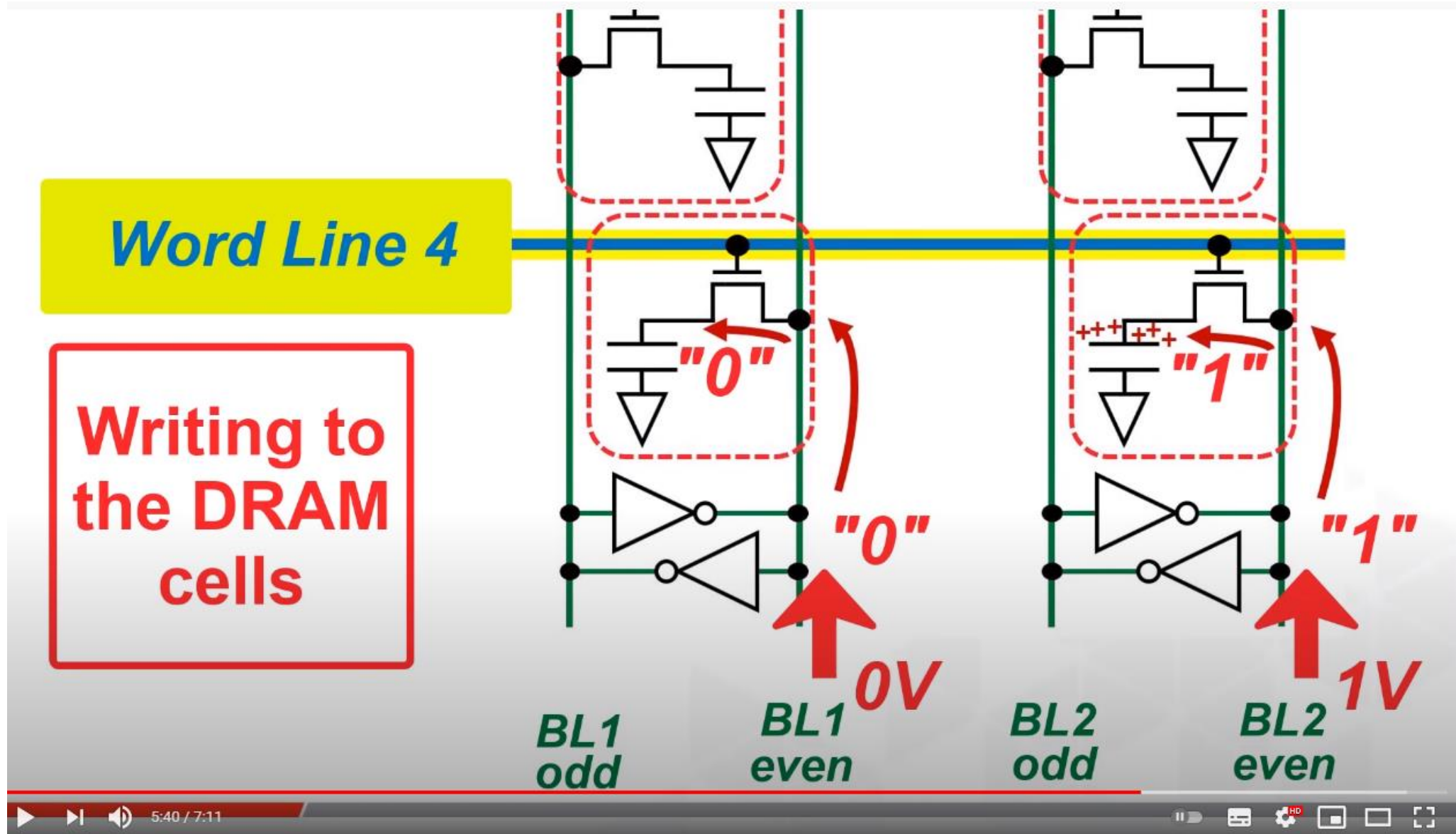
- DRAM記憶單元電容讀出過程



**Decode lower address bus to select bits to read**

## 6-2-2 DRAM工作原理

- DRAM記憶單元電容寫入過程:

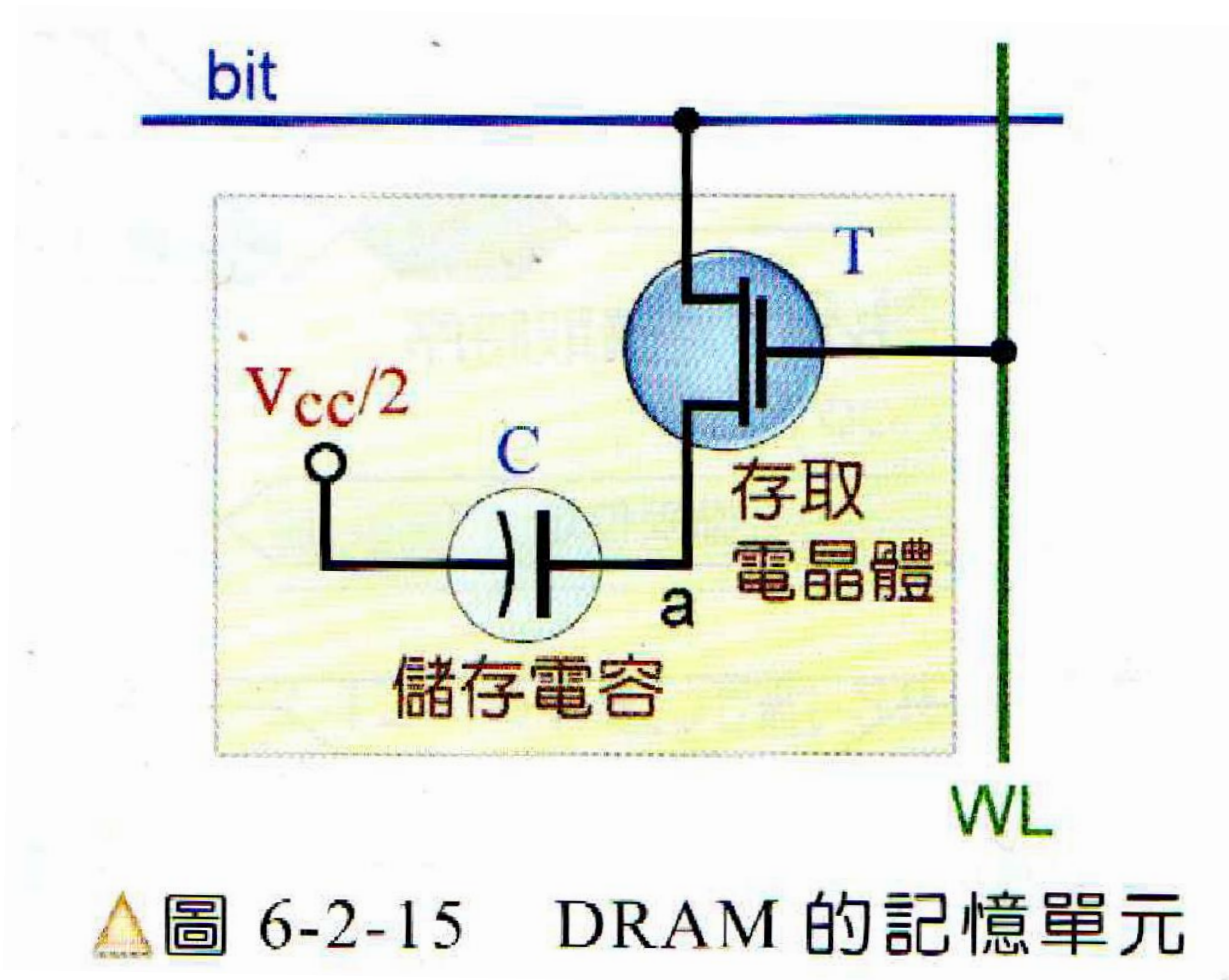




## 6-2-2 DRAM工作原理

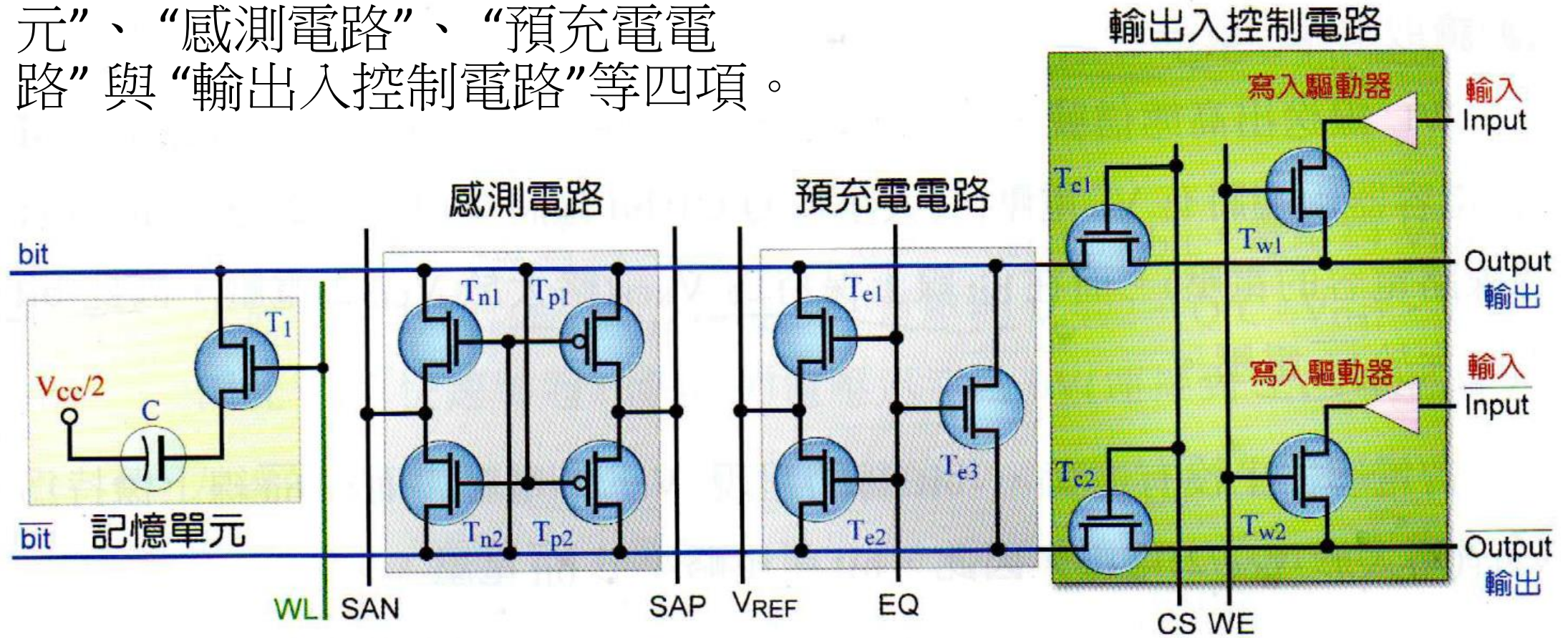
- DRAM記憶單元:

為讓快速充放電，設定其範圍只有 $V_{cc}/2$ ，故此建構此一模型。在原本接地處，改接 $V_{cc}/2$ 。



## 6-2-2 DRAM工作原理

- DRAM模組單元包含“記憶單元”、“感測電路”、“預充電電路”與“輸出入控制電路”等四項。

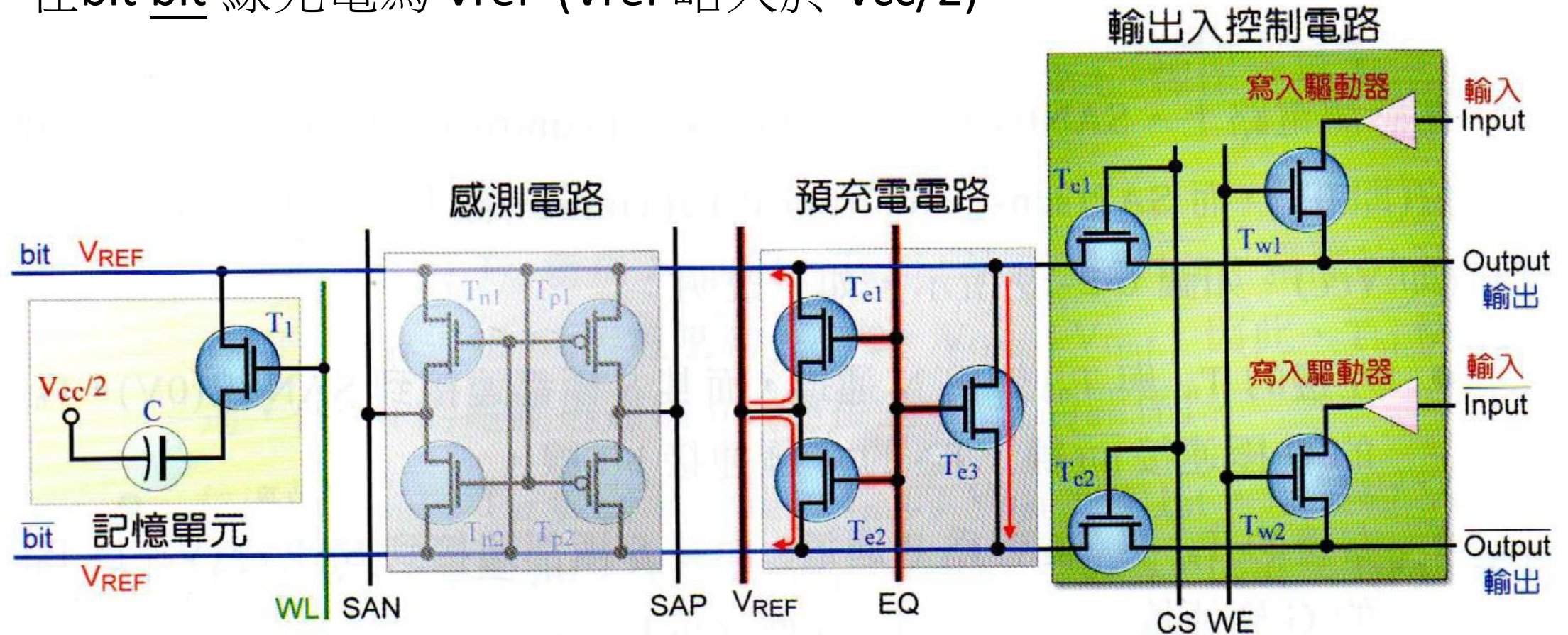


▲圖 6-2-16 DRAM 電路



## 6-2-2 DRAM工作原理

- 預充電:
- 為使DRAM記憶單元電容讀出速度快，使用“預充電電路”，在bit bit 線充電為  $V_{ref}$  ( $V_{ref}$  略大於  $V_{cc}/2$ )。

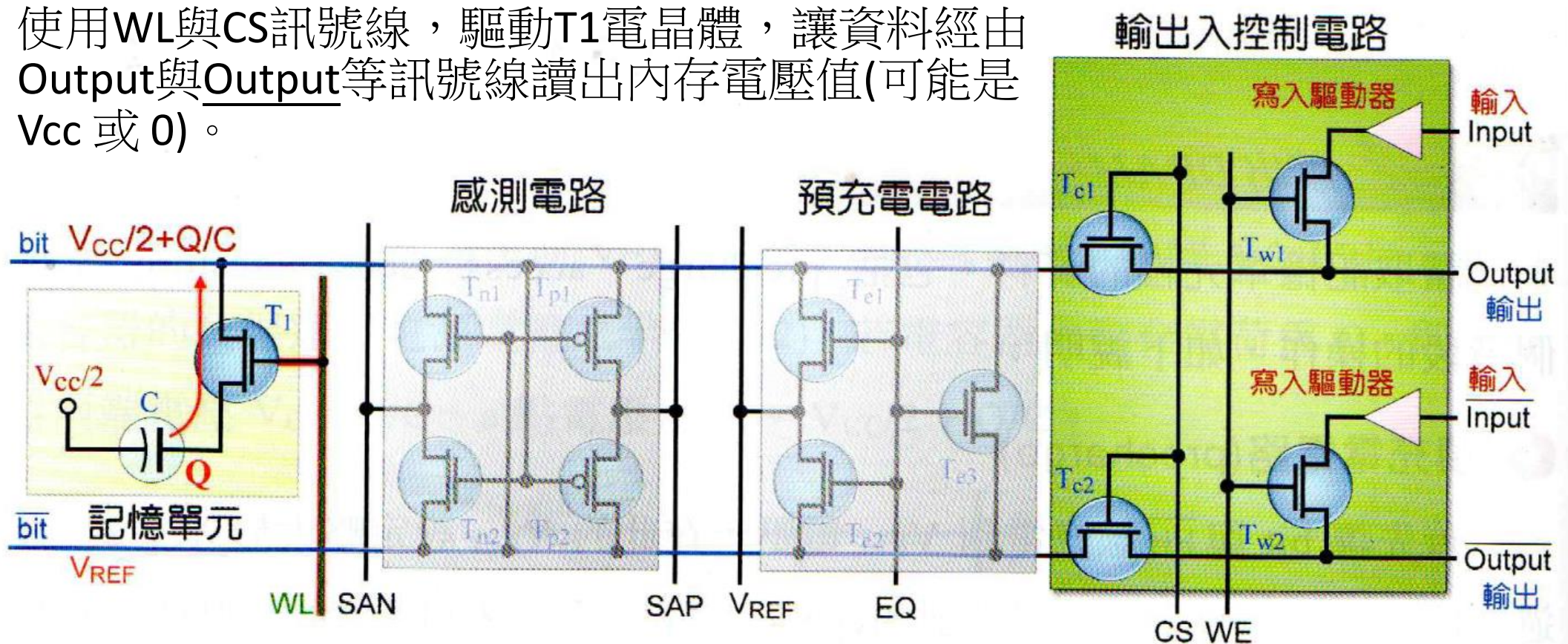


▲圖 6-2-17 預充電



## 6-2-2 DRAM工作原理

- DRAM記憶單元電容存取電荷:
  - 先使用預充電電路讓在bit bit 線充電為  $V_{ref}$  ( $V_{ref}$  略大於  $V_{cc}/2$ )，如前所述。
  - 使用WL與CS訊號線，驅動T1電晶體，讓資料經由Output與Output等訊號線讀出內存電壓值(可能是  $V_{cc}$  或 0)。

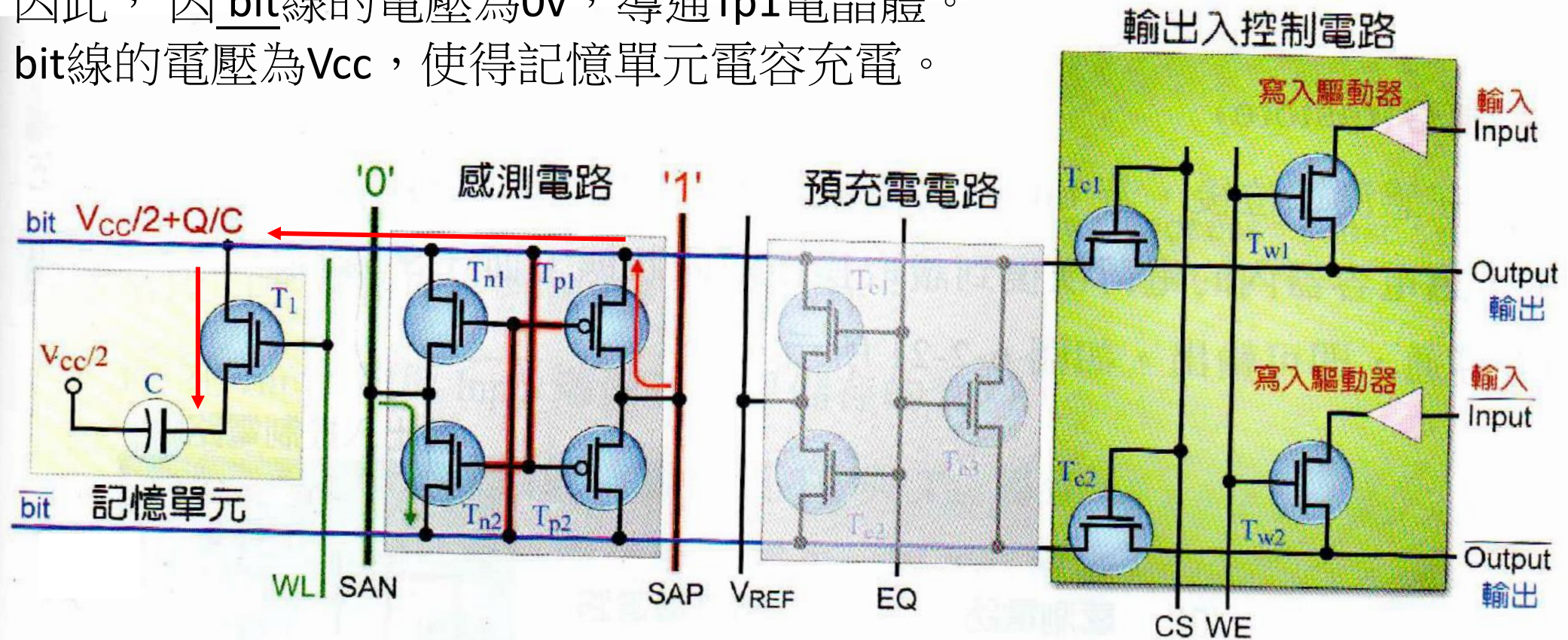


▲圖 6-2-18 存取電荷



## 6-2-2 DRAM工作原理

- DRAM記憶單元電容充電:
  - SAP 與SAN 訊號線分別設定高低電位，'1' =  $V_{cc}$ , '0' = 0V。
  - 經由WL訊號線運作，電容內存電壓值出現於bit線(如下圖， $V_{cc}/2+Q/C$  略小於 $V_{cc}$ )，進而導通 $T_{n2}$ 電晶體，bit線的電壓為0v。
  - 因此，因bit線的電壓為0v，導通 $T_{p1}$ 電晶體。
  - bit線的電壓為 $V_{cc}$ ，使得記憶單元電容充電。

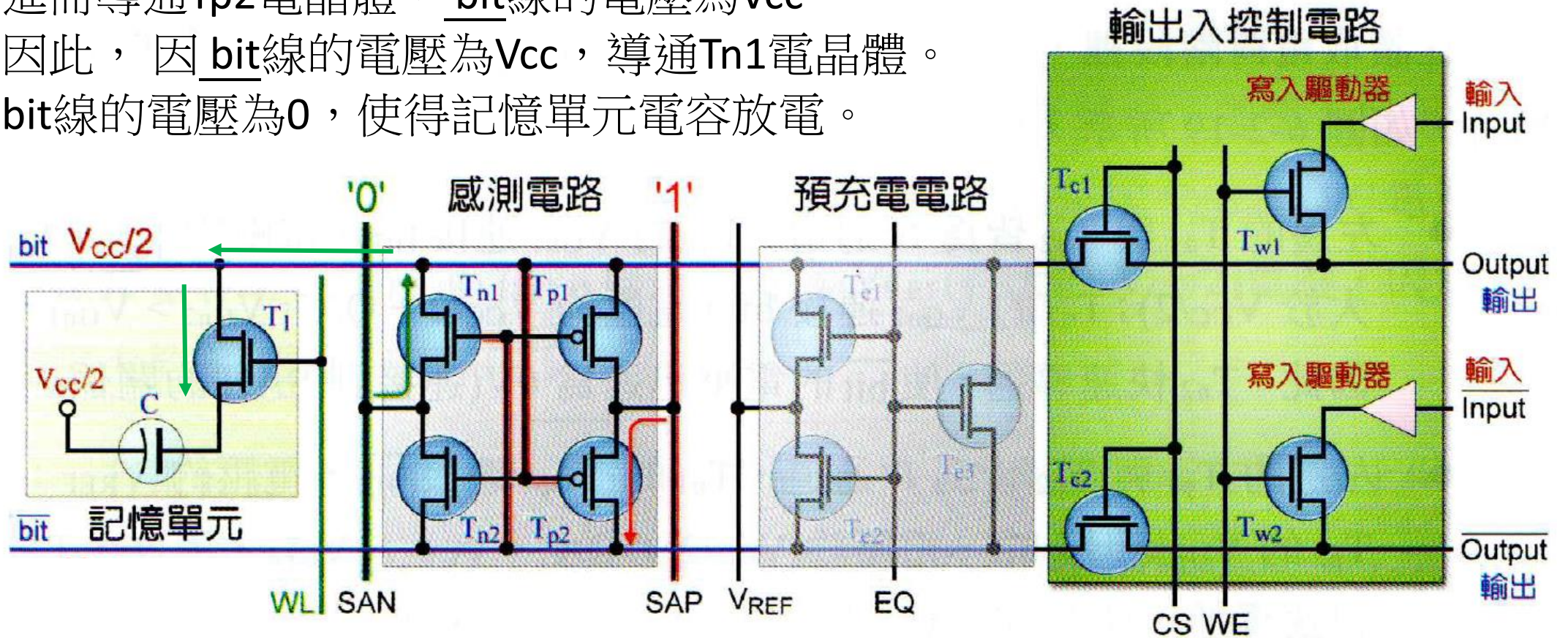


▲圖 6-2-19 感測數位值之一



## 6-2-2 DRAM工作原理

- DRAM記憶單元電容放電：
  - SAP 與SAN 訊號線分別設定高低電位，'1' =  $V_{cc}$ , '0' = 0V。
  - 經由WL訊號線運作，電容內存電壓值出現於bit線(如下圖， $V_{cc}/2$ )，進而導通Tp2電晶體，bit線的電壓為 $V_{cc}$ 。
  - 因此，因bit線的電壓為 $V_{cc}$ ，導通Tn1電晶體。
  - bit線的電壓為0，使得記憶單元電容放電。

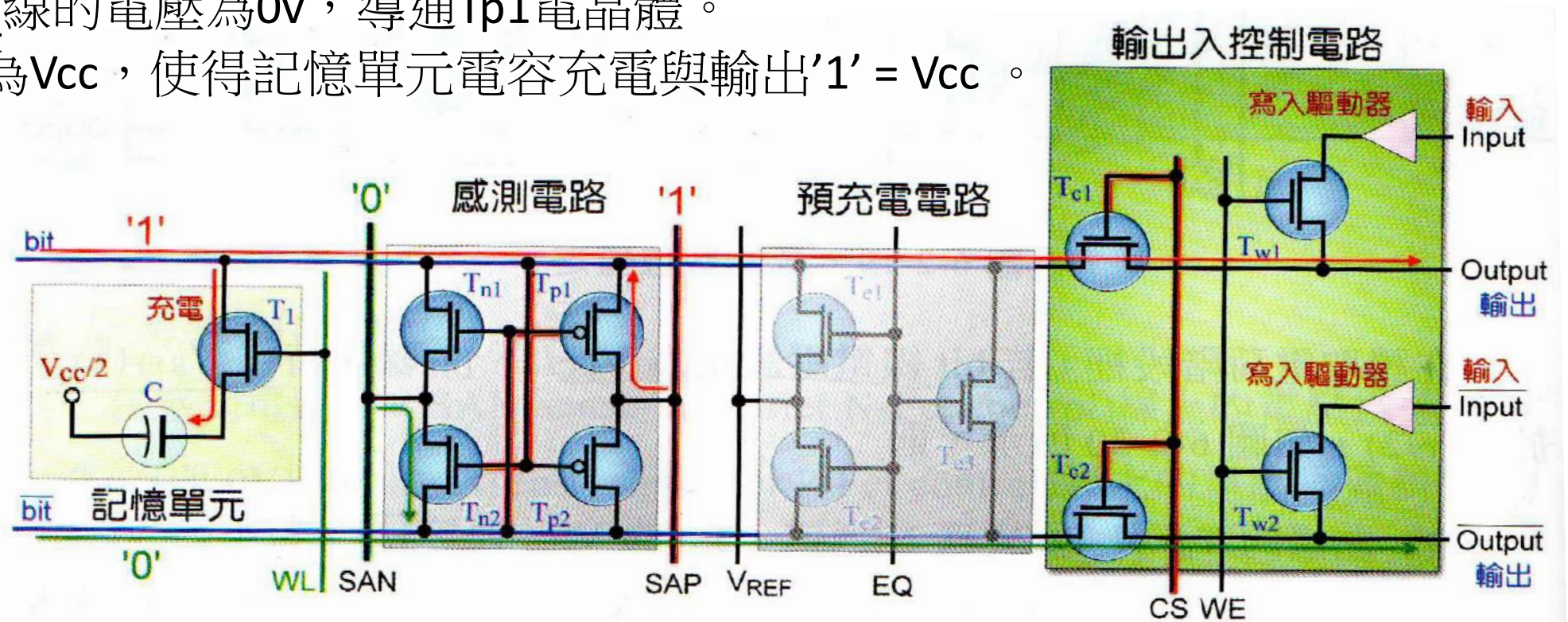




## 6-2-2 DRAM工作原理

### • DRAM記憶單元電容讀出:

- SAP 與SAN 訊號線分別設定高低電位，'1' =  $V_{cc}$ , '0' = 0V。
- 經由WL、CS等訊號線運作，電容內存電壓值出現於bit線(如下圖， $V_{cc}/2 + Q/C$  略小於  $V_{cc}$ )，進而導通 $T_{n2}$ 電晶體，bit線的電壓為0v。
- 因此，因bit線的電壓為0v，導通 $T_{p1}$ 電晶體。
- bit線的電壓為 $V_{cc}$ ，使得記憶單元電容充電與輸出'1' =  $V_{cc}$ 。

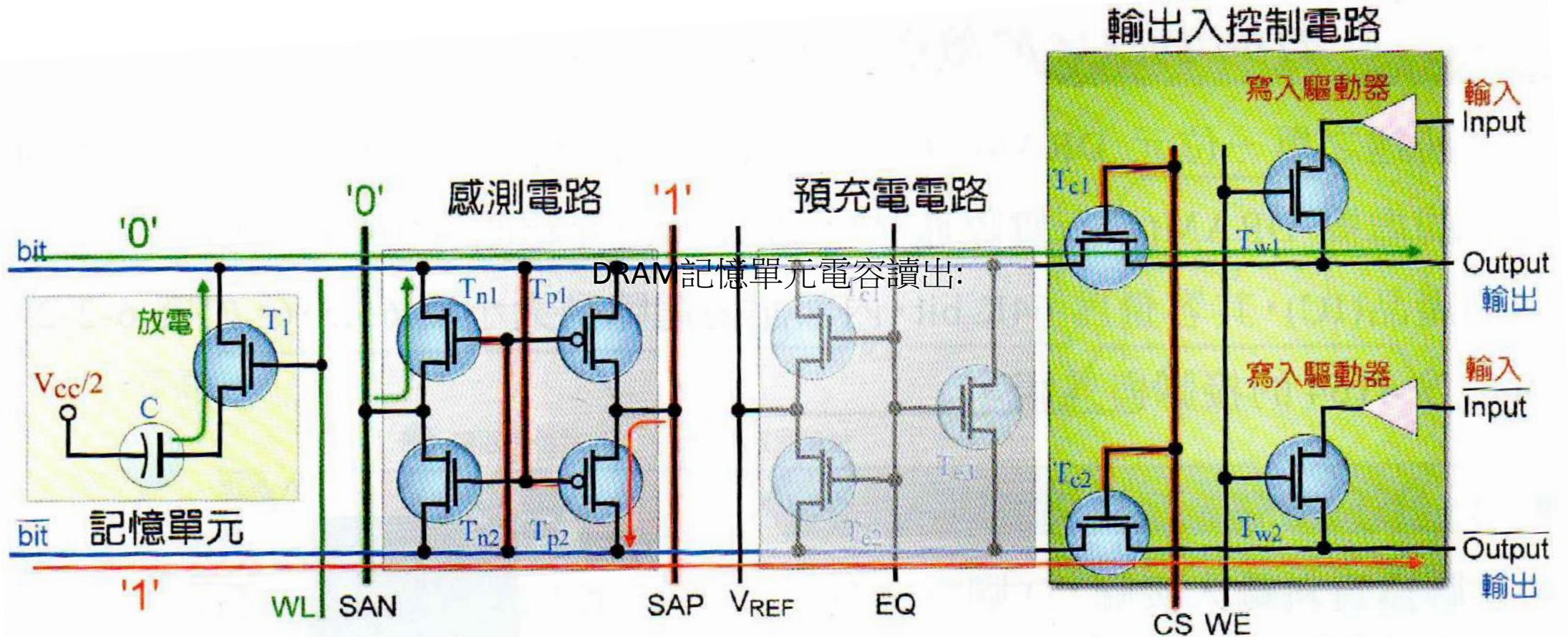


▲圖 6-2-21 輸出高態



## 6-2-2 DRAM工作原理

- DRAM記憶單元電容讀出：
  - 放電與輸出過程類同前一頁之說明。

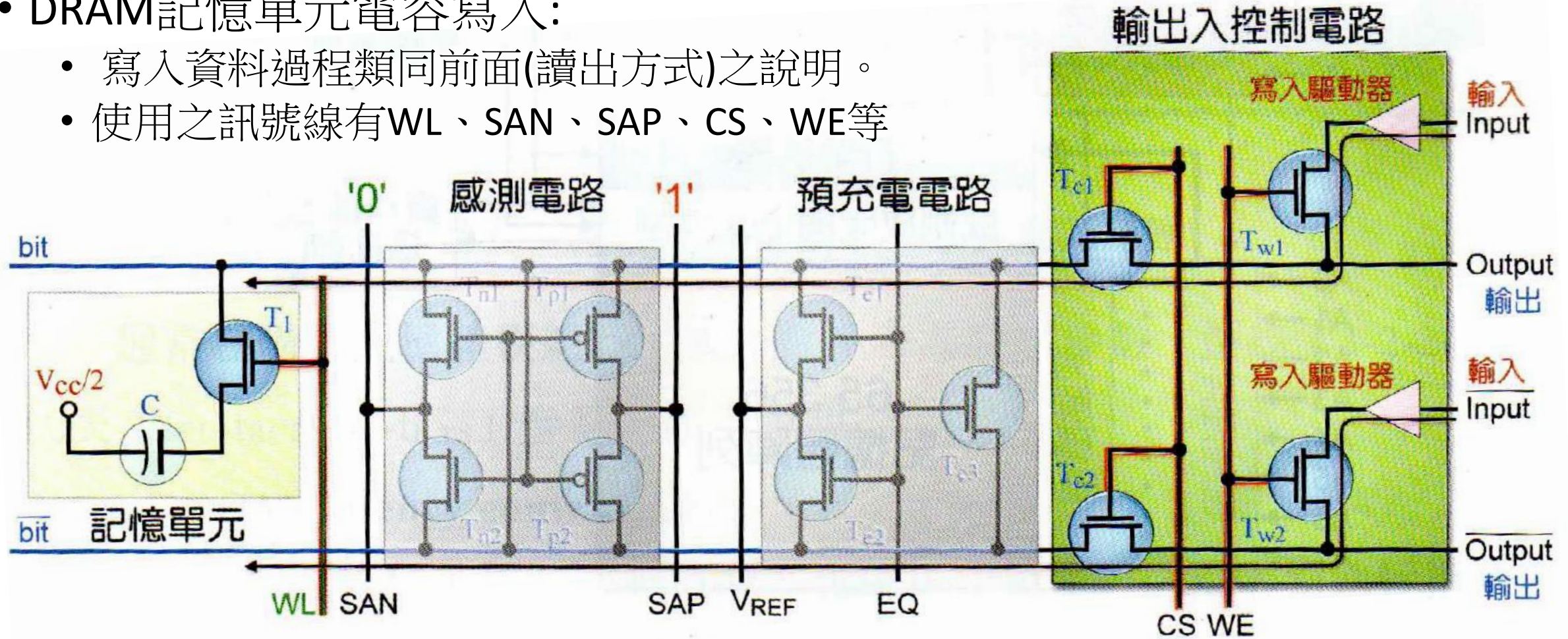


△圖 6-2-22 輸出低態



## 6-2-2 DRAM工作原理

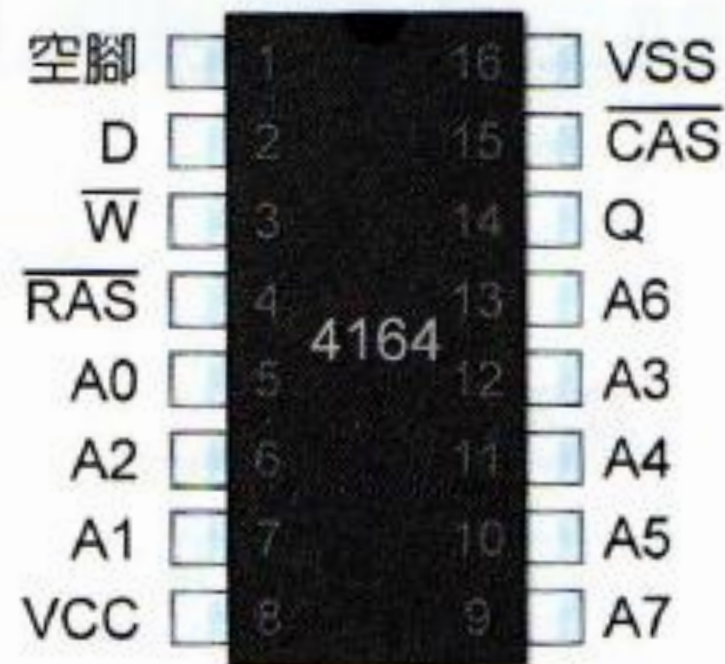
- DRAM記憶單元電容寫入：
  - 寫入資料過程類同前面(讀出方式)之說明。
  - 使用之訊號線有WL、SAN、SAP、CS、WE等



▲圖 6-2-23 寫入資料

## 6-2-2 DRAM工作原理

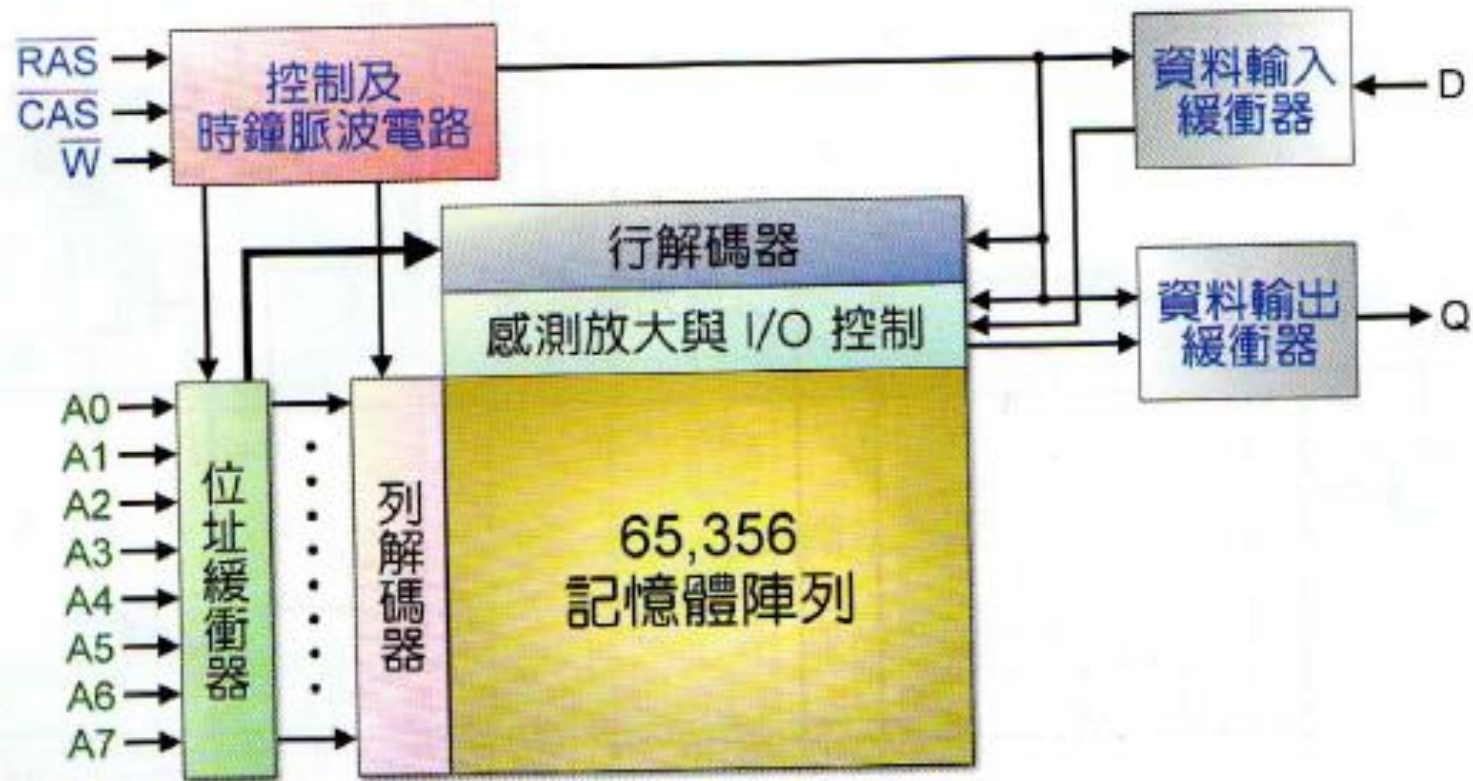
- 第一腳為空腳，沒被使用到。
- D 腳為資料輸入接腳，Q 腳為資料輸出接腳。
- $\overline{W}$  腳為資料寫入致能接腳。
- $\overline{RAS}$  腳為列位址控制接腳， $\overline{CAS}$  腳為行位址控制接腳。
- A0~A7 腳為位址接腳。
- VCC 腳為電源接腳(+5V)，VSS 腳為接地接腳。



▲圖 6-2-24 4164 之接腳與外觀

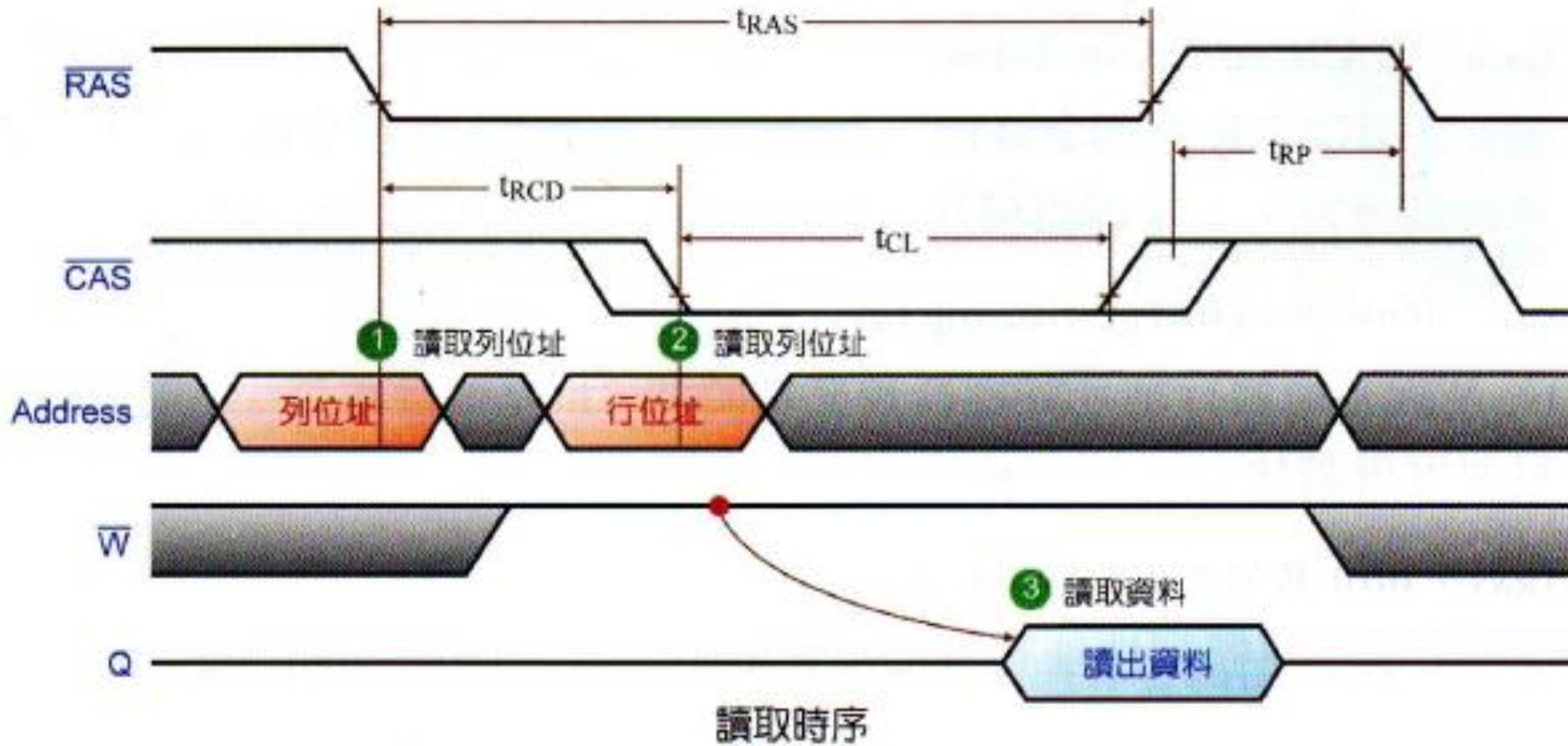


## 6-2-2 DRAM工作原理



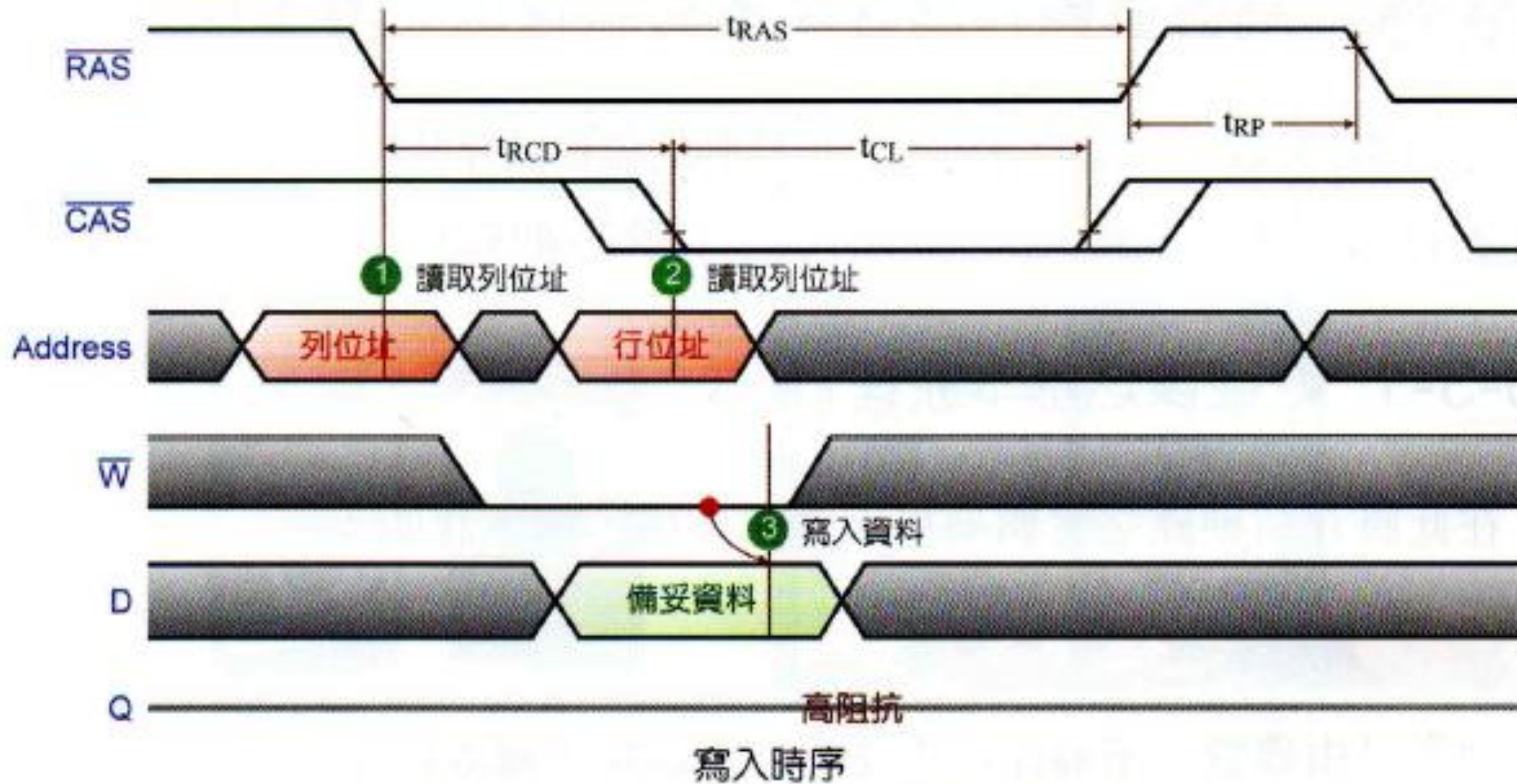
△圖 6-2-25 4164 之讀取時序與寫入時序

## 6-2-2 DRAM工作原理





## 6-2-2 DRAM工作原理



△圖 6-2-26 4164 之讀取時序與寫入時序

- 作業十:

- 第一題: 請簡單說明投影片第33頁DRAM記憶單元電容讀出之過程
- 第二題: 請簡單說明投影片第34頁DRAM記憶單元電容寫入之過程